

明細書

固定画素表示装置及び冷陰極電界電子放出表示装置

5 技術分野

本発明は、固定画素表示装置及び冷陰極電界電子放出表示装置に関する。

背景技術

10 第1の方向に延びるM本のストライプ状の走査電極、及び、第1の方向とは異なる（例えば、直交する）第2の方向に延びるN本のストライプ状のデータ電極を備え、走査電極とデータ電極との重複領域から構成された発光領域がM行×N列の2次元マトリックス状に配列された構造を有する固定画素表示装置として、
15 例えば、冷陰極電界電子放出表示装置、液晶表示装置、有機エレクトロルミネッセンス表示装置、無機エレクトロルミネッセンス表示装置が知られている（例えば、特開平11-296131号参照）。そして、これらの固定画素表示装置にあっては、線順次駆動方式が屡々採用されている。ここで、線順次駆動方式とは、マトリックス状に交差する走査電極とデータ電極において、走査電極に走査信号を入力して走査電極を選択、走査し、データ電極に入力されたビデオ信号（色信号とも呼ばれる）に基づき画像を表示させ、1画面を構成する方法である。

20 通常、各データ電極には、第14図に回路図を示すデータ電極出力回路100が接続されている。尚、データ電極の等価回路も第14図に示す。このデータ電極出力回路100は、例えば、C

MOS回路から成る電流バッファ回路である。

通常、画像信号がA/Dコンバータ41に入力され、A/Dコンバータ41の出力がラインバッファ42に一旦記憶され、更には、D/Aコンバータ43に送られ、D/Aコンバータ43からのアナログ信号がデータ電極出力回路100に送られる。一方、走査電極が走査電極出力回路に接続されている。尚、第14図には、走査電極及び走査電極出力回路は図示していない。そして、切替タイミングパルス（ロード信号）に基づく走査電極出力回路の動作によって、第1行目から第M行目までの走査電極が線順次駆動され、走査電極に、順次、例えば一定の電圧が印加される。また、第n列目（但し、 $n = 1, 2 \dots N$ ）のデータ電極には、階調に応じて、電圧変調方式に基づき可変の電圧 V_{DATA} がデータ電極出力回路100から印加される（第3図の（B）参照）。

ところで、第14図に示すように、データ電極には容量成分が存在するので、データ電極出力回路100からデータ電極に印加される電圧 V_{DATA} の立上り、立下りの波形が、第3図の（B）に示すように、急峻にはなり難い。データ電極に印加される電圧 V_{DATA} の波形が急峻ではないと、画面表示の応答性が悪くなり、滑らかな画像表示が困難となる。一般に、冷陰極電界電子放出表示装置においては、データ電極である例えばカソード電極には大きな容量成分が存在し易く、その結果、データ電極に印加される電圧 V_{DATA} の立上り、立下りの波形が一層急峻にはなり難い。

従って、本発明の目的は、電極へ印加される電圧の立上り、立下りの波形を急峻にし得る構成を有する固定画素表示装置及び冷陰極電界電子放出表示装置を提供することにある。

発明の開示

上記の目的を達成するための本発明の固定画素表示装置は、第 1 の方向に延びる M 本（但し、 $M \geq 2$ ）のストライプ状の走査電極、及び、第 1 の方向とは異なる第 2 の方向に延びる N 本（但し、
5 $N \geq 2$ ）のストライプ状のデータ電極を備え、走査電極とデータ電極との重複領域から構成された発光領域が M 行 \times N 列の 2 次元マトリックス状に配列された固定画素表示装置であって、

データ電極を駆動するために、各データ電極に接続された駆動用ドライバを備えており、

10 該各駆動用ドライバは、スイッチ回路、出力回路、及び、減算回路から成り、

該スイッチ回路は、

（A）データ電極に第 1 の電圧 V_1 を印加するための第 1 のスイッチ回路、

15 （B）データ電極に第 2 の電圧 V_2 （但し、 $V_2 \neq V_1$ ）を印加するための第 2 のスイッチ回路、及び、

（C）第 1 のスイッチ回路及び第 2 のスイッチ回路のオン／オフ制御を行うための比較器、

を備え、

20 第 m 行目（但し、 $m = 2, 3 \dots M$ のいずれか）の走査電極によって構成される N 個の発光領域のそれれにおける発光状態を制御するためのデータの値 $D_{m,n}$ （但し、n は 1, 2 $\dots N$ である）に基づき前記出力回路から出力された電圧が、一定期間、第 n 列目のデータ電極に印加され、

25 且つ、第 m 行目の走査電極によって構成される発光領域のそれれにおける発光状態を制御するためのデータの値 $D_{m,n}$ から第

(m - 1) 行目の走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータの値 $D_{m-1, n}$ を前記減算回路において減じて得られた値 ($D_{m, n} - D_{m-1, n}$) が入力値として前記比較器に入力され、該比較器に入力された該入力値と、第 5 1 の基準値及び第 2 の基準値とが該比較器において比較され、

(1) 入力値が第 1 の基準値以上である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第 1 のスイッチ回路がオン状態とされることで、該所定の期間、第 n 列目のデータ電極に第 1 の電圧 V_1 が印加され、

10 (2) 入力値が第 2 の基準値以下である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第 2 のスイッチ回路がオン状態とされることで、該所定の期間、第 n 列目のデータ電極に第 2 の電圧 V_2 が印加され、

15 (3) 入力値が、第 1 の基準値未満であり、且つ、第 2 の基準値を越えている場合、該第 1 のスイッチ回路及び該第 2 のスイッチ回路はオフ状態に保持される、
ことを特徴とする。

本発明の固定画素表示装置において、第 1 行目の走査電極によって構成される N 個の発光領域のそれぞれにおける発光状態を制御するためのデータの値 $D_{1, n}$ (但し、n は 1, 2, ..., N である) に基づき出力回路から出力された電圧が、一定期間、第 n 列目のデータ電極に印加される。そして、この場合には、第 1 行目の走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータの値 $D_{1, n}$ からデータ値「0」(データの値 $D_{0, n}$ と表現する)を減算回路において減じて得られた値 ($D_{1, n} - D_{0, n}$) が入力値として比較器に入力され、比較器に入力

された入力値と、第1の基準値及び第2の基準値とが比較器において比較される。データの値 $D_{0,n}$ を用いる代わりに、直前のデータの値 $D_{m,n}$ (1フレーム前の最後のデータの値) を用いることもできる。

5 上記の目的を達成するための本発明の第1の態様に係る冷陰極電界電子放出表示装置は、カソードパネルとアノードパネルとがそれらの周縁部で接合されて成る冷陰極電界電子放出表示装置であって、

カソードパネルは、

10 (a) 支持体、

(b) 支持体上に形成され、第1の方向に延びるN本（但し、 $N \geq 2$ ）のストライプ状のカソード電極、

(c) 支持体及びカソード電極上に形成された絶縁層、

15 (d) 絶縁層上に形成され、第1の方向とは異なる第2の方向に延びるM本（但し、 $M \geq 2$ ）のストライプ状のゲート電極、及び、

(e) カソード電極とゲート電極との重複領域に位置する電子放出領域、

から構成されており、

20 アノードパネルは、基板、並びに、該基板上に形成された、各電子放出領域に対応して設けられた蛍光体領域及びアノード電極から構成されており、

電子放出領域は、ゲート電極及び絶縁層に設けられた開口部の底部に位置する電子放出部から構成され、

25 冷陰極電界電子放出表示装置は、

(f) カソード電極を駆動するために、各カソード電極に接続

された駆動用ドライバ、
を更に備えており、

該各駆動用ドライバは、スイッチ回路、出力回路、及び、減算回路から成り、

5 該スイッチ回路は、

(A) カソード電極に第1の電圧 V_1 を印加するための第1のスイッチ回路、

(B) カソード電極に第2の電圧 V_2 (但し、 $V_2 > V_1$) を印加するための第2のスイッチ回路、及び、

10 (C) 第1のスイッチ回路及び第2のスイッチ回路のオン／オフ制御を行うための比較器、

を備え、

第m番目 (但し、 $m = 2, 3 \dots M$ のいずれか) のゲート電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ (但し、nは1, 2, ..., Nである)に基づき前記出力回路から出力された電圧が、一定期間、第n番目のカソード電極に印加され、

且つ、第m番目のゲート電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ から第(m-1)番目のゲート電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m-1,n}$ を前記減算回路において減じて得られた値 ($D_{m,n} - D_{m-1,n}$) が入力値として前記比較器に入力され、該比較器に入力された該入力値と、第1の基準値及び第2の基準値とが該比較器において比較され、

(1) 入力値が第1の基準値以上である場合、該比較器の出力

に基づき、前記一定期間よりも短い所定の期間、該第1のスイッチ回路がオン状態とされることで、該所定の期間、第n番目のカソード電極に第1の電圧V₁が印加され、

(2) 入力値が第2の基準値以下である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第2のスイッチ回路がオン状態とされることで、該所定の期間、第n番目のカソード電極に第2の電圧V₂が印加され、

(3) 入力値が、第1の基準値未満であり、且つ、第2の基準値を越えている場合、該第1のスイッチ回路及び該第2のスイッチ回路はオフ状態に保持される、
ことを特徴とする。

本発明の第1の態様に係る冷陰極電界電子放出表示装置において、第1番目のゲート電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値D_{1, n}（但し、nは1, 2・・・Nである）に基づき出力回路から出力された電圧が、一定期間、第n番目のカソード電極に印加される。そして、この場合には、第1番目のゲート電極によって構成されるN個の電子放出領域のそれぞれにおける発光状態を制御するためのデータの値Vからデータ値「0」（データの値D_{0, n}と表現する）を減算回路において減じて得られた値（D_{1, n} - D_{0, n}）が入力値として比較器に入力され、比較器に入力された入力値と、第1の基準値及び第2の基準値とが比較器において比較される。データの値D_{0, n}を用いる代わりに、直前のデータの値D_{M, n}（1フレーム前の最後のデータの値）を用いることもできる。

上記の目的を達成するための本発明の第2の態様に係る冷陰極電界電子放出表示装置は、カソードパネルとアノードパネルと

がそれらの周縁部で接合されて成る冷陰極電子放出表示装置であって、

カソードパネルは、

(a) 支持体、

5 (b) 支持体上に形成され、第1の方向に延びるM本（但し、
 $M \geq 2$ ）のストライプ状のカソード電極、

(c) 支持体及びカソード電極上に形成された絶縁層、

10 (d) 絶縁層上に形成され、第1の方向とは異なる第2の方向に延びるN本（但し、 $N \geq 2$ ）のストライプ状のゲート電極、及び、

(e) カソード電極とゲート電極との重複領域に位置する電子放出領域、

から構成されており、

15 アノードパネルは、基板、並びに、該基板上に形成された、各電子放出領域に対応して設けられた蛍光体領域及びアノード電極から構成されており、

電子放出領域は、ゲート電極及び絶縁層に設けられた開口部の底部に位置する電子放出部から構成され、

冷陰極電子放出表示装置は、

20 (f) ゲート電極を駆動するために、各ゲート電極に接続された駆動用ドライバ、

を更に備えており、

該各駆動用ドライバは、スイッチ回路、出力回路、及び、減算回路から成り、

25 該スイッチ回路は、

(A) ゲート電極に第1の電圧 V_1 を印加するための第1のス

イッチ回路、

(B) ゲート電極に第2の電圧 V_2 (但し、 $V_2 < V_1$) を印加するための第2のスイッチ回路、及び、

(C) 第1のスイッチ回路及び第2のスイッチ回路のオン／オフ制御を行うための比較器、
5 を備え、

第m番目 (但し、 $m = 2, 3 \dots M$ のいずれか) のカソード電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ (但し、nは1, 2 … Nである) に基づき前記出力回路から出力された電圧が、一定期間、第n番目のゲート電極に印加され、
10

且つ、第m番目のカソード電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ から第(m-1)番目のカソード電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m-1,n}$ を前記減算回路において減じて得られた値 ($D_{m,n} - D_{m-1,n}$) が入力値として前記比較器に入力され、該比較器に入力された該入力値と、第1の基準値及び第2の基準値とが該比較器において比較され、
15

20 (1) 入力値が第1の基準値以上である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第1のスイッチ回路がオン状態とされることで、該所定の期間、第n番目のゲート電極に第1の電圧 V_1 が印加され、

(2) 入力値が第2の基準値以下である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第2のスイッチ回路がオン状態とされることで、該所定の期間、第n番目のゲ
25

ート電極に第2の電圧 V_2 が印加され、

(3) 入力値が、第1の基準値未満であり、且つ、第2の基準値を越えている場合、該第1のスイッチ回路及び該第2のスイッチ回路はオフ状態に保持される、

5 ことを特徴とする。

本発明の第2の態様に係る冷陰極電界電子放出表示装置において、第1番目のカソード電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{1,n}$ （但し、nは1, 2, ..., Nである）に基づき出力回路から出力された電圧が、一定期間、第n番目のゲート電極に印加される。そして、この場合には、第1番目のカソード電極によって構成されるN個の電子放出領域のそれぞれにおける発光状態を制御するためのデータの値 $D_{1,n}$ からデータ値「0」（データの値 $D_{0,n}$ と表現する）を減算回路において減じて得られた値 $(D_{1,n} - D_{0,n})$ が入力値として比較器に入力され、比較器に入力された入力値と、第1の基準値及び第2の基準値とが比較器において比較される。データの値 $D_{0,n}$ を用いる代わりに、直前のデータの値 $D_{M,n}$ （1フレーム前の最後のデータの値）を用いることもできる。

20 本発明の固定画素表示装置にあっては、走査電極に印加される電圧とデータ電極に印加される電圧との差を ΔV としたとき、第1の電圧 V_1 は、 ΔV の最大値を得るためにデータ電極に印加すべき電圧であり、第2の電圧 V_2 は、 ΔV の最小値を得るためにデータ電極に印加すべき電圧であることが好ましい。即ち、（走査電極に印加される電圧）>（データ電極に印加される電圧）の場合には $V_1 < V_2$ であり、（走査電極に印加される電圧）<（デ

一タ電極に印加される電圧)の場合には $V_1 > V_2$ であることが好ましい。また、本発明の第1の態様に係る冷陰極電界電子放出表示装置にあっては、ゲート電極に印加される電圧とカソード電極に印加される電圧との差を ΔV_{gc} としたとき、第1の電圧 V_1 は、
5 ΔV_{gc} の最大値を得るためにカソード電極に印加すべき電圧(例えば、0ボルト)であり、第2の電圧 V_2 は、 ΔV_{gc} の最小値を得るためにカソード電極に印加すべき電圧(> 0 ボルト)であることが好ましい。更には、本発明の第2の態様に係る冷陰極電界電子放出表示装置にあっては、ゲート電極に印加される電圧とカソード電極に印加される電圧との差を ΔV_{gc} としたとき、第1の電圧 V_1 は、 ΔV_{gc} の最大値を得るためにゲート電極に印加すべき電圧であり、第2の電圧 V_2 は、 ΔV_{gc} の最小値を得るためにゲート電極に印加すべき電圧であることが好ましい。但し、第1の電圧 V_1 、第2の電圧 V_2 は、これらの値に限定されるものでは
10 ない。
15

これらの態様を含む本発明の固定画素表示装置、本発明の第1の態様若しくは第2の態様に係る冷陰極電界電子放出表示装置にあっては、出力回路を、例えばCMOS回路やバイポーラ回路から成る電流バッファ回路とすることができる。尚、電流バッファ回路とは、電圧ゲインが1であり、電流ゲインが1を越える回路を指す。具体的には、電流バッファ回路への入力電圧と電流バッファ回路からの出力電圧は等しく、電流バッファ回路への入力電流よりも電流バッファ回路からの出力電流が大きい回路を指す。尚、出力回路を、電圧ゲインが1を越える回路である電圧増幅回路から構成することもできる。
20
25

本発明の固定画素表示装置として、電極に印加する電圧によっ

て輝度が制御される形式の固定画素表示装置、即ち、階調制御方式が電圧変調方式である固定画素表示装置、具体的には、冷陰極電界電子放出表示装置、液晶表示装置、有機エレクトロルミネッセンス表示装置、無機エレクトロルミネッセンス表示装置を挙げ
5 ことができる。

本発明の固定画素表示装置、本発明の第1の態様若しくは第2の態様に係る冷陰極電界電子放出表示装置（以下、これらを総称して、単に、本発明と呼ぶ場合がある）において、スイッチ回路を構成する第1のスイッチ回路、第2のスイッチ回路は、如何なる形式のスイッチ回路とすることもでき、例えば、N M O S – F E T から成るスイッチ回路を挙げることができる。また、減算回路及び比較器は、周知の減算回路及び比較器から構成すればよい。
10

本発明の固定画素表示装置、本発明の第1の態様若しくは第2の態様に係る冷陰極電界電子放出表示装置は、線順次駆動方式によつて駆動されることが好ましい。ここで、線順次駆動方式とは、マトリクス状に交差する電極群の内の、例えば、ゲート電極を走査電極とし、カソード電極をデータ電極とし、走査信号に基づきゲート電極を選択、走査し、カソード電極からの信号（ビデオ信号、データ信号あるいは色信号と呼ばれる）に基づき画像を表示させ、1画面を構成する方法であり、あるいは又、例えば、カソード電極を走査電極とし、ゲート電極をデータ電極とし、走査信号に基づきカソード電極を選択、走査し、ゲート電極からの信号（ビデオ信号、データ信号あるいは色信号と呼ばれる）に基づき画像を表示させ、1画面を構成する方法である。
15
20

本発明において、一定期間（ T_1 ）とは、具体的には1走査期間（時間）を意味する。即ち、一定期間（ T_1 ）のM倍が1フレ
25

ーム時間である。また、所定の期間 (T_2) と一定期間 (T_1) とは、 $T_2 < T_1$ 、好ましくは $0.1 T_1 \leq T_2 \leq 0.8 T_1$ 、一層好ましくは $0.1 T_1 \leq T_2 \leq 0.4 T_1$ の関係にあることが望ましい。また、所定の期間 (T_2) と一定期間 (T_1) とは、同時に開始す
5 ることが望ましい。

本発明の固定画素表示装置にあっては、(走査電極に印加される電圧) $>$ (データ電極に印加される電圧) の場合、 $V_1 < V_2$ であるが故に、第 1 の基準値を電圧 α ($V_2 - V_1$) に対応する値(回路構成に依存してデジタル値の場合もあるし、アナログ値の場合もある。第 1 の基準値に関する以下の説明においても同様である)、第 2 の基準値を電圧 β ($V_1 - V_2$) に対応する値(回路構成に依存してデジタル値の場合もあるし、アナログ値の場合もある。第 2 の基準値に関する以下の説明においても同様である)としたとき、 $0.125 \leq \alpha \leq 0.75$ 、 $0.125 \leq \beta \leq 0.75$ を満足することが好ましい。一方、(走査電極に印加される電圧) $<$ (データ電極に印加される電圧) の場合、 $V_1 > V_2$ であるが故に、第 1 の基準値を電圧 α ($V_1 - V_2$) に対応する値、第 2 の基準値を電圧 β ($V_2 - V_1$) に対応する値としたとき、 $0.125 \leq \alpha \leq 0.75$ 、 $0.125 \leq \beta \leq 0.75$ を満足することが好ましい。
10
15
20

また、本発明の第 1 の態様に係る冷陰極電界電子放出表示装置にあっては、 $V_2 > V_1$ であるが故に、第 1 の基準値を電圧 α ($V_2 - V_1$) に対応する値、第 2 の基準値を電圧 β ($V_1 - V_2$) に対応する値としたとき、 $0.125 \leq \alpha \leq 0.75$ 、 $0.125 \leq \beta \leq 0.75$ を満足することが好ましい。
25

更には、本発明の第 2 の態様に係る冷陰極電界電子放出表示裝

置にあっては、 $V_2 < V_1$ であるが故に、第 1 の基準値を電圧 α ($V_1 - V_2$) に対応する値、第 2 の基準値を電圧 β ($V_2 - V_1$) に対応する値としたとき、 $0.125 \leq \alpha \leq 0.75$ 、 $0.125 \leq \beta \leq 0.75$ を満足することが好ましい。

5 尚、本発明において、第 m 行目の走査電極によって構成される N 個の発光領域のそれぞれにおける発光状態を制御するためのデータ（階調制御用データ）の値 $D_{m,n}$ とは、第 n 行目のデータ電極に印加すべき電圧を規定するデータであり、第 m 番目のゲート電極によって構成される N 個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータ（階調制御用データ）の値 $D_{n,m}$ とは、第 n 番目のカソード電極に印加すべき電圧を規定するデータであり、第 m 番目のカソード電極によって構成される N 個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータ（階調制御用データ）の値 $D_{m,n}$ とは、第 n 番目のゲート電極に印加すべき電圧を規定するデータである。尚、この説明は、 $m = 1$ の場合を包含する。

また、「入力値が第 1 の基準値以上である場合」を『入力値が第 1 の基準値を越える場合』に置き換えるても等価であり、「入力値が第 2 の基準値以下である場合」を『入力値が第 2 の基準値未満である場合』に置き換えるても等価であり、「入力値が、第 1 の基準値未満であり、且つ、第 2 の基準値を越えている場合」を『入力値が、第 1 の基準値以下であり、且つ、第 2 の基準値以上である場合』に置き換えるても等価である。

25 本発明において、第 1 の方向と第 2 の方向とは直交していることが（即ち、例えば、走査電極やカソード電極の射影像とデータ電極やゲート電極の射影像とは直交していることが）、固定画素

表示装置や冷陰極電界電子放出表示装置の構造の簡素化といった観点から好ましい。

本発明において、M及びNの値の組合せとして、具体的には、(1920, 1080)、(1920, 1035)、(1024, 768)、(800, 600)、(640, 480)、(720, 480)、(1280, 960)、(1280, 1024)等、画像表示用解像度の幾つかを例示することができるが、これらの値に限定するものではない。

本発明の第1の態様若しくは第2の態様に係る冷陰極電界電子放出表示装置（以下、これらを総称して、単に、本発明の冷陰極電界電子放出表示装置と呼ぶ場合がある）にあっては、カソード電極及びゲート電極に印加された電圧によって生じた強電界が電子放出部に加わる結果、量子トンネル効果により電子放出部から電子が放出される。そして、この電子は、アノードパネルに設けられたアノード電極に引きつけられ、蛍光体領域に衝突する。即ち、アノード電極からカソード電極へと放出電子電流が流れる。そして、蛍光体領域への電子の衝突の結果、蛍光体領域が発光し、画像として認識することができる。カソード電極の射影像とゲート電極の射影像とが重複する領域（重複領域）に設けられ、あるいは、位置する1又は複数の電子放出部によって、電子放出領域が構成される。

本発明の冷陰極電界電子放出表示装置において、カソード電極はカソード電極制御回路に接続され、ゲート電極はゲート電極制御回路に接続され、アノード電極はアノード電極制御回路に接続されている。アノード電極制御回路の出力電圧 V_A は、通常、一定であり、例えば、5キロボルト～10キロボルトとすることが

できる。一方、カソード電極に印加する電圧 V_c 及びゲート電極に印加する電圧 V_g に関しては、階調制御方式が電圧変調方式であるが故に、

5 (1) カソード電極に印加する電圧 V_c を一定とし、ゲート電極に印加する電圧 V_g を変化させる方式

(2) カソード電極に印加する電圧 V_c を変化させ、ゲート電極に印加する電圧 V_g を一定とする方式

(3) カソード電極に印加する電圧 V_c を変化させ、且つ、ゲート電極に印加する電圧 V_g も変化させる方式がある。

10 本発明の冷陰極電子放出表示装置において、カソードパネルを構成する支持体、アノードパネルを構成する基板は、少なくとも表面が絶縁性部材から構成されていればよく、無アルカリガラス基板、低アルカリガラス基板、石英ガラス基板といった各種のガラス基板、表面に絶縁膜が形成された各種のガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成された半導体基板を挙げることができるが、製造コスト低減の観点からは、ガラス基板、あるいは、表面に絶縁膜が形成されたガラス基板を用いることが好ましい。ガラス基板を構成するガラスとして、より具体的には、高歪点ガラス、ソーダガラス ($\text{Na}_2\text{O} \cdot \text{CaO} \cdot \text{SiO}_2$)、硼珪酸ガラス ($\text{Na}_2\text{O} \cdot \text{B}_2\text{O}_3 \cdot \text{SiO}_2$)、フォルステライト ($2\text{MgO} \cdot \text{SiO}_2$)、鉛ガラス ($\text{Na}_2\text{O} \cdot \text{PbO} \cdot \text{SiO}_2$) を例示することができる。

25 本発明の冷陰極電子放出表示装置を構成するカソードパネルにおけるカソード電極やゲート電極、収束電極（後述する）を構成する材料として、タンクスチタン（W）、ニオブ（Nb）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、クロム（C

r)、アルミニウム (A1)、銅 (Cu)、金 (Au)、銀 (Ag)、ニッケル (Ni)、コバルト (Co)、ジルコニウム (Zr)、鉄 (Fe)、白金 (Pt) 及び亜鉛 (Zn) から成る群から選択された少なくとも 1 種類の金属；これらの金属元素を含む合金あるいは化合物（例えば TiN 等の窒化物や、WSi₂、MoSi₂、TiSi₂、TaSi₂ 等のシリサイド）；シリコン (Si) 等の半導体；ダイヤモンド等の炭素薄膜；ITO（インジウム・錫酸化物）、酸化インジウム、酸化亜鉛等の導電性金属酸化物を例示することができる。

カソード電極やゲート電極、収束電極の形成方法として、例えば、電子ビーム蒸着法や熱フィラメント蒸着法といった蒸着法、スパッタリング法、CVD 法やイオンプレーティング法とエッチング法との組合せ；スクリーン印刷法；メッキ法（電気メッキ法や無電解メッキ法）；リフトオフ法；レーザアブレーション法；ゾルーゲル法等を挙げることができる。スクリーン印刷法やメッキ法によれば、直接、例えばストライプ状のカソード電極やゲート電極、収束電極を形成することが可能である。

絶縁層や後述する層間絶縁層の構成材料として、SiO₂、BPSG、PSG、BSG、AssG、PbSG、SiN、SiO₂、SOG（スピノングラス）、低融点ガラス、ガラスペーストといった SiO₂ 系材料、SiN、ポリイミド等の絶縁性樹脂を、単独あるいは適宜組み合わせて使用することができる。絶縁層や後述する層間絶縁層の形成には、CVD 法、塗布法、スパッタリング法、スクリーン印刷法等の公知のプロセスが利用できる。

本発明の冷陰極電界電子放出表示装置においては、
(a) 支持体上に形成され、第 1 の方向に延びるストライプ状

のカソード電極、

(b) 支持体及びカソード電極上に形成された絶縁層、

(c) 絶縁層上に形成され、第1の方向とは異なる第2の方向に延びるストライプ状のゲート電極、

5 (d) ゲート電極及び絶縁層に設けられた開口部、及び、

(e) 開口部の底部に位置する電子放出部、

から冷陰極電界電子放出素子（以下、電界放出素子と略称する）が構成されている。

ここで、電界放出素子は如何なる形態の電界放出素子とすることもでき、例えば、

(1) 円錐形の電子放出部が開口部の底部に位置するカソード電極上に設けられたスピント型電界放出素子

(2) 略平面状の電子放出部が開口部の底部に位置するカソード電極上に設けられた扁平型電界放出素子

15 (3) 王冠状の電子放出部が開口部の底部に位置するカソード電極上に設けられ、電子放出部の王冠状の部分から電子を放出するクラウン型電界放出素子

(4) 平坦なカソード電極の表面から電子を放出する平面型電界放出素子

20 (5) 凹凸が形成されたカソード電極の表面の多数の凸部から電子を放出するクレータ型電界放出素子

(6) カソード電極のエッジ部から電子を放出するエッジ型電界放出素子

を例示することができる。

25 電界放出素子として、上述の各種の形式の他に、表面伝導型電子放出素子と通称される素子も知られており、冷陰極電界電子放

出表示装置に適用することができる。表面伝導型電子放出素子においては、例えばガラスから成る基板上に酸化錫 (SnO_2)、金 (Au)、酸化インジウム (In_2O_3) / 酸化錫 (SnO_2)、カーボン、酸化パラジウム (PdO) 等の材料から成り、微小面積を有する薄膜がマトリクス状に形成され、各薄膜は 2 つの薄膜片から成り、一方の薄膜片に行方向配線、他方の薄膜片に列方向配線が接続されている。一方の薄膜片と他方の薄膜片との間には数 nm のギャップが設けられている。行方向配線と列方向配線とによって選択された薄膜においては、ギャップを介して薄膜から電子が放出される。

スピント型電界放出素子にあっては、電子放出部を構成する材料として、タンクスチン、タンクスチン合金、モリブデン、モリブデン合金、チタン、チタン合金、ニオブ、ニオブ合金、タンタル、タンタル合金、クロム、クロム合金、及び、不純物を含有するシリコン (ポリシリコンやアモルファスシリコン) から成る群から選択された少なくとも 1 種類の材料を挙げることができる。スピント型電界放出素子の電子放出部は、例えば、真空蒸着法やスパッタリング法、CVD 法によって形成することができる。

扁平型電界放出素子にあっては、電子放出部を構成する材料として、カソード電極を構成する材料よりも仕事関数 Φ の小さい材料から構成することが好ましく、どのような材料を選択するかは、カソード電極を構成する材料の仕事関数、ゲート電極とカソード電極との間の電位差、要求される放出電子電流密度の大きさ等に基づいて決定すればよい。電界放出素子におけるカソード電極を構成する代表的な材料として、タンクスチン ($\Phi = 4.55 \text{ eV}$)、ニオブ ($\Phi = 4.02 \sim 4.87 \text{ eV}$)、モリブデン ($\Phi = 4.2 \sim 4.6 \text{ eV}$)、

5 3 ~ 4. 9 5 e V)、アルミニウム ($\Phi = 4. 2 8$ e V)、銅 ($\Phi = 4. 6$ e V)、タンタル ($\Phi = 4. 3$ e V)、クロム ($\Phi = 4. 5$ e V)、シリコン ($\Phi = 4. 9$ e V) を例示することができる。電子放出部は、これらの材料よりも小さな仕事関数 Φ を有していることが好ましく、その値は概ね 3 e V 以下であることが好ましい。係る材料として、炭素 ($\Phi < 1$ e V)、セシウム ($\Phi = 2. 1 4$ e V)、LaB₆ ($\Phi = 2. 6 6 \sim 2. 7 6$ e V)、BaO ($\Phi = 1. 6 \sim 2. 7$ e V)、SrO ($\Phi = 1. 2 5 \sim 1. 6$ e V)、Y₂O₃ ($\Phi = 2. 0$ e V)、CaO ($\Phi = 1. 6 \sim 1. 8 6$ e V)、BaS ($\Phi = 2. 0 5$ e V)、TiN ($\Phi = 2. 9 2$ e V)、ZrN ($\Phi = 2. 9 2$ e V) を例示することができる。仕事関数 Φ が 2 e V 以下である材料から電子放出部を構成することが、一層好ましい。尚、電子放出部を構成する材料は、必ずしも導電性を備えている必要はない。

15 あるいは又、扁平型電界放出素子において、電子放出部を構成する材料として、係る材料の 2 次電子利得 δ がカソード電極を構成する導電性材料の 2 次電子利得 δ よりも大きくなるような材料から適宜選択してもよい。即ち、銀 (Ag)、アルミニウム (Al)、金 (Au)、コバルト (Co)、銅 (Cu)、モリブデン (Mo)、ニオブ (Nb)、ニッケル (Ni)、白金 (Pt)、タンタル (Ta)、タングステン (W)、ジルコニウム (Zr) 等の金属；シリコン (Si)、ゲルマニウム (Ge) 等の半導体；炭素やダイヤモンド等の無機単体；及び酸化アルミニウム (Al₂O₃)、酸化バリウム (BaO)、酸化ベリリウム (BeO)、酸化カルシウム (CaO)、酸化マグネシウム (MgO)、酸化錫 (SnO₂)、フッ化バリウム (BaF₂)、フッ化カルシウム (CaF₂) 等の化

合物の中から、適宜選択することができる。尚、電子放出部を構成する材料は、必ずしも導電性を備えている必要はない。

扁平型電界放出素子にあっては、特に好ましい電子放出部の構成材料として、炭素、より具体的にはダイヤモンドやグラファイト、グラファイト・ナノファイバー、カーボン・ナノチューブ構

5 造体、 ZnO ウィスカー、 MgO ウィスカー、 SnO_2 ウィスカー、 MnO ウィスカー、 Y_2O_3 ウィスカー、 NiO ウィスカー、 ITO ウィスカー、 In_2O_3 ウィスカー、 Al_2O_3 ウィスカーを挙げることができる。電子放出部をこれらから構成する場合、 $5 \times 10^7 V/m$ 以下の電界強度にて、冷陰極電界電子放出表示装置に必要な放出電子電流密度を得ることができる。また、ダイヤモンドは電気抵抗体であるため、各電子放出部から得られる放出電子電流を均一化することができ、よって、冷陰極電界電子放出表示装置に組み込まれた場合の輝度ばらつきの抑制が可能となる。

10 更に、これらの材料は、冷陰極電界電子放出表示装置内の残留ガスのイオンによるスパッタ作用に対して極めて高い耐性を有するので、電界放出素子の長寿命化を図ることができる。

カーボン・ナノチューブ構造体として、具体的には、カーボン・ナノチューブ及び/又はカーボン・ナノファイバーを挙げること

20 ができる。より具体的には、カーボン・ナノチューブから電子放出部を構成してもよいし、カーボン・ナノファイバーから電子放出部を構成してもよいし、カーボン・ナノチューブとカーボン・ナノファイバーの混合物から電子放出部を構成してもよい。カーボン・ナノチューブやカーボン・ナノファイバーは、巨視的には、粉末状であってもよいし、薄膜状であってもよいし、場合によつては、カーボン・ナノチューブ構造体は円錐状の形状を有してい

てもよい。カーボン・ナノチューブやカーボン・ナノファイバーは、周知のアーク放電法やレーザアプレーション法といった P V D 法、プラズマ C V D 法やレーザ C V D 法、熱 C V D 法、気相合成法、気相成長法といった各種の C V D 法によって製造、形成することができる。
5

扁平型電界放出素子を、カーボン・ナノチューブ構造体やグラファイト・ナノファイバー、上記の各種ウィスカー（以下、これらを総称して、カーボン・ナノチューブ構造体等と呼ぶ）をバインダー材料に分散させたものをカソード電極の所望の領域に例えれば塗布した後、バインダー材料の焼成あるいは硬化を行う方法（より具体的には、エポキシ系樹脂やアクリル系樹脂等の有機系バインダー材料や水ガラス等の無機系バインダー材料にカーボン・ナノチューブ構造体等を分散したものを、カソード電極の所望の領域に例えれば塗布した後、溶媒の除去、バインダー材料の焼成・硬化を行う方法）によって製造することもできる。尚、このような方法を、カーボン・ナノチューブ構造体等の第 1 の形成方法と呼ぶ。塗布方法として、スクリーン印刷法を例示することができる。
10
15

あるいは又、扁平型電界放出素子を、カーボン・ナノチューブ構造体等が分散された金属化合物溶液をカソード電極上に塗布した後、金属化合物を焼成する方法によって製造することもでき、これによって、金属化合物を構成する金属原子を含むマトリックスにてカーボン・ナノチューブ構造体等がカソード電極表面に固定される。尚、このような方法を、カーボン・ナノチューブ構造体等の第 2 の形成方法と呼ぶ。マトリックスは、導電性を有する金属酸化物から成ることが好ましく、より具体的には、酸化錫、
20
25

酸化インジウム、酸化インジウムー錫、酸化亜鉛、酸化アンチモン、又は、酸化アンチモンー錫から構成することが好ましい。焼成後、各カーボン・ナノチューブ構造体等の一部分がマトリックスに埋め込まれている状態を得ることもできるし、各カーボン・
5 ナノチューブ構造体等の全体がマトリックスに埋め込まれている状態を得ることもできる。マトリックスの体積抵抗率は、 $1 \times 10^{-9} \Omega \cdot m$ 乃至 $5 \times 10^{-6} \Omega \cdot m$ であることが望ましい。

金属化合物溶液を構成する金属化合物として、例えば、有機金属化合物、有機酸金属化合物、又は、金属塩（例えば、塩化物、
10 硝酸塩、酢酸塩）を挙げることができる。有機酸金属化合物溶液として、有機錫化合物、有機インジウム化合物、有機亜鉛化合物、有機アンチモン化合物を酸（例えば、塩酸、硝酸、あるいは硫酸）に溶解し、これを有機溶媒（例えば、トルエン、酢酸ブチル、イソプロピルアルコール）で希釈したものを挙げることができる。
15 また、有機金属化合物溶液として、有機錫化合物、有機インジウム化合物、有機亜鉛化合物、有機アンチモン化合物を有機溶媒（例えば、トルエン、酢酸ブチル、イソプロピルアルコール）に溶解したものを例示することができる。溶液を 100 重量部としたとき、カーボン・ナノチューブ構造体等が 0.001 ~ 20 重量部、
20 金属化合物が 0.1 ~ 10 重量部、含まれた組成とすることが好ましい。溶液には、分散剤や界面活性剤が含まれていてもよい。また、マトリックスの厚さを増加させるといった観点から、金属化合物溶液に、例えばカーボンブラック等の添加物を添加してもよい。また、場合によっては、有機溶媒の代わりに水を溶媒として用いることもできる。
25

カーボン・ナノチューブ構造体等が分散された金属化合物溶液

をカソード電極上に塗布する方法として、スプレー法、スピンドルコーティング法、ディッピング法、ダイクオーター法、スクリーン印刷法を例示することができるが、中でもスプレー法を採用することが塗布の容易性といった観点から好ましい。

5 カーボン・ナノチューブ構造体等が分散された金属化合物溶液をカソード電極上に塗布した後、金属化合物溶液を乾燥させて金属化合物層を形成し、次いで、カソード電極上の金属化合物層の不要部分を除去した後、金属化合物を焼成してもよいし、金属化合物を焼成した後、カソード電極上の不要部分を除去してもよい
10 し、カソード電極の所望の領域上にのみ金属化合物溶液を塗布してもよい。

金属化合物の焼成温度は、例えば、金属塩が酸化されて導電性を有する金属酸化物となるような温度、あるいは又、有機金属化合物や有機酸金属化合物が分解して、有機金属化合物や有機酸金属化合物を構成する金属原子を含むマトリックス（例えば、導電性を有する金属酸化物）が形成できる温度であればよく、例えば、300℃以上とすることが好ましい。焼成温度の上限は、電界放出素子あるいはカソードパネルの構成要素に熱的な損傷等が発生しない温度とすればよい。

20 カーボン・ナノチューブ構造体等の第1の形成方法あるいは第2の形成方法にあっては、電子放出部の形成後、電子放出部の表面の一種の活性化処理（洗浄処理）を行うことが、電子放出部からの電子の放出効率の一層の向上といった観点から好ましい。このような処理として、水素ガス、アンモニアガス、ヘリウムガス、
25 アルゴンガス、ネオンガス、メタンガス、エチレンガス、アセチレンガス、窒素ガス等のガス雰囲気中でのプラズマ処理を挙げる

ことができる。

カーボン・ナノチューブ構造体等の第1の形成方法あるいは第2の形成方法にあっては、電子放出部は、開口部の底部に位置するカソード電極の部分の表面に形成されればよく、開口部の5底部に位置するカソード電極の部分から開口部の底部以外のカソード電極の部分の表面に延在するように形成されていてもよい。また、電子放出部は、開口部の底部に位置するカソード電極の部分の表面の全面に形成されていても、部分的に形成されていてもよい。

10 電界放出素子の構造に依存するが、ゲート電極及び絶縁層に設けられた1つの開口部内に1つの電子放出部が存在してもよいし、ゲート電極及び絶縁層に設けられた1つの開口部内に複数の電子放出部が存在してもよいし、ゲート電極に複数の開口部を設け、係る開口部と連通する1つの開口部を絶縁層に設け、絶縁層15に設けられた1つの開口部内に1又は複数の電子放出部が存在してもよい。

開口部の平面形状（支持体表面と平行な仮想平面で開口部を切断したときの形状）は、円形、楕円形、矩形、多角形、丸みを帯びた矩形、丸みを帯びた多角形等、任意の形状とすることができます。開口部の形成は、例えば、等方性エッチング、異方性エッチングと等方性エッチングの組合せによって行うことができ、あるいは又、ゲート電極や収束電極の形成方法に依っては、ゲート電極や収束電極に開口部を直接形成することもできる。絶縁層や層間絶縁層における開口部の形成も、例えば、等方性エッチング、20異方性エッチングと等方性エッチングの組合せによって行うことができる。

カソード電極と電子放出部との間に抵抗体層を設けてもよい。あるいは又、カソード電極の表面が電子放出部に相当している場合、カソード電極を導電材料層、抵抗体層、電子放出部に相当する電子放出層の3層構成としてもよい。抵抗体層を設けることによって、電界放出素子の動作安定化、電子放出特性の均一化を図ることができる。抵抗体層を構成する材料として、シリコンカーバイド (SiC) や SiCN といったカーボン系材料、SiN、アモルファスシリコン等の半導体材料、酸化ルテニウム (RuO₂)、酸化タンタル、窒化タンタル等の高融点金属酸化物を例示することができる。抵抗体層の形成方法として、スパッタリング法や、CVD法やスクリーン印刷法を例示することができる。抵抗値は、概ね $1 \times 10^5 \sim 1 \times 10^7 \Omega$ 、好ましくは数 MΩとすればよい。

アノードパネルにおいて、電子放出部から放出された電子が先ず衝突する部位は、アノードパネルの構造に依るが、アノード電極であり、あるいは又、蛍光体領域である。蛍光体領域は、単色の蛍光体粒子から構成されていても、3原色の蛍光体粒子から構成されていてもよい。

蛍光体領域の平面形状 (パターン) は、画素 (発光領域) に対応して、ドット状であってもよいし、ストライプ状であってもよい。蛍光体領域が隔壁の間に形成されている場合、隔壁で取り囲まれたアノードパネルを構成する基板の部分の上に蛍光体領域が形成されている。

隔壁は、蛍光体領域から反跳した電子、あるいは、蛍光体領域から放出された二次電子が他の蛍光体領域に入射し、所謂光学的クロストーク (色濁り) が発生することを防止する機能を有する。

あるいは又、蛍光体領域から反跳した電子、あるいは、蛍光体領域から放出された二次電子が隔壁を越えて他の蛍光体領域に向かって侵入したとき、これらの電子が他の蛍光体領域と衝突することを防止する機能を有する。

5 隔壁の平面形状としては、格子形状（井桁形状）、即ち、1画素に相当する、例えば平面形状が略矩形（ドット状）の蛍光体領域の四方を取り囲む形状を挙げることができ、あるいは、略矩形あるいはストライプ状の蛍光体領域の対向する二辺と平行に延びる帯状形状あるいはストライプ形状を挙げができる。隔壁を格子形状とする場合、1つの蛍光体領域の領域の四方を連続的に取り囲む形状としてもよいし、不連続に取り囲む形状としてもよい。隔壁を帯状形状あるいはストライプ形状とする場合、連続した形状としてもよいし、不連続な形状としてもよい。隔壁を形成した後、隔壁を研磨し、隔壁の頂面の平坦化を図ってもよい。

10 15 冷陰極電界電子放出表示装置にあっては、アノードパネルとカソードパネルとによって挟まれた空間が真空状態となっているが故に、アノードパネルとカソードパネルとの間にスペーサを配しておかないと、大気圧によって冷陰極電界電子放出表示装置が損傷を受けてしまう。係るスペーサは、例えばセラミックスから構成することができる。スペーサをセラミックスから構成する場合、セラミックスとして、ムライトやアルミナ、チタン酸バリウム、チタン酸ジルコン酸鉛、ジルコニア、コーディオライト、硼珪酸塩バリウム、珪酸鉄、ガラスセラミックス材料、これらに、酸化チタンや酸化クロム、酸化鉄、酸化バナジウム、酸化ニッケルを添加したもの等を例示することができる。この場合、所謂グリーンシートを成形して、グリーンシートを焼成し、係るグリー

20 25

ンシート焼成品を切断することによってスペーサを製造することができる。また、スペーサの表面に、金属や合金から成る導電材料層を形成し、あるいは又、抵抗体層を形成し、あるいは又、二次電子放出係数の低い材料から成る薄層を形成してもよい。スペーサは、例えば、隔壁と隔壁との間に挟み込んで固定すればよく、あるいは又、例えば、アノードパネルにスペーサ保持部を形成し、スペーサ保持部とスペーサ保持部との間に挟み込んで固定すればよい。

蛍光体領域からの光を吸収する光吸収層が隔壁と基板との間に形成されていることが、表示画像のコントラスト向上といった観点から好ましい。ここで、光吸収層は、所謂ブラックマトリックスとして機能する。光吸収層を構成する材料として、蛍光体領域からの光を 99 % 以上吸収する材料を選択することが好ましい。このような材料として、カーボン、金属薄膜（例えば、クロム、ニッケル、アルミニウム、モリブデン等、あるいは、これらの合金）、金属酸化物（例えば、酸化クロム）、金属窒化物（例えば、窒化クロム）、耐熱性有機樹脂、ガラスペースト、黒色顔料や銀等の導電性粒子を含有するガラスペースト等の材料を挙げることができ、具体的には、感光性ポリイミド樹脂、酸化クロムや、酸化クロム／クロム積層膜を例示することができる。尚、酸化クロム／クロム積層膜においては、クロム膜が基板と接する。光吸収層は、例えば、真空蒸着法やスパッタリング法とエッチング法との組合せ、真空蒸着法やスパッタリング法、スピンドルコーティング法とリフトオフ法との組合せに、スクリーン印刷法、リソグラフィ技術等、使用する材料に依存して適宜選択された方法にて形成することができる。尚、スペーサ保持部や隔壁をアノード

電極上に形成する場合、光吸収層を、基板とアノード電極との間に形成してもよいし、アノード電極とスペーサ保持部との間に形成してもよい。

5 蛍光体領域は、発光性結晶粒子（例えば、粒径 5 ~ 10 nm 程度の蛍光体粒子）から調製された発光性結晶粒子組成物を使用し、
10 例えば、赤色の感光性の発光性結晶粒子組成物（赤色蛍光体スラリー）を全面に塗布し、露光、現像して、赤色発光蛍光体領域を形成し、次いで、緑色の感光性の発光性結晶粒子組成物（緑色蛍光体スラリー）を全面に塗布し、露光、現像して、緑色発光蛍光
15 体領域を形成し、更に、青色の感光性の発光性結晶粒子組成物（青色蛍光体スラリー）を全面に塗布し、露光、現像して、青色発光
20 蛍光体領域を形成する方法にて形成することができる。

発光性結晶粒子を構成する蛍光体材料としては、従来公知の蛍
15 光体材料の中から適宜選択して用いることができる。カラー表示
の場合、色純度がNTSCで規定される3原色に近く、3原色を
混合した際の白バランスがとれ、残光時間が短く、3原色の残光
時間がほぼ等しくなる蛍光体材料を組み合わせることが好まし
い。赤色発光蛍光体領域を構成する蛍光体材料として、(Y₂O₃ :
Eu)、(Y₂O₂S : Eu)、(Y₃Al₅O₁₂ : Eu)、(YBO₃ : Eu)、
20 (YVO₄ : Eu)、(Y₂SiO₅ : Eu)、(Y_{0.96}P_{0.06}V_{0.40}O₄ : Eu_{0.04})、[(Y, Gd)BO₃ : Eu]、(GdBO₃ : Eu)、
(ScBO₃ : Eu)、(3.5MgO · 0.5MgF₂ · GeO₂ : Mn)、
(Zn₃(PO₄)₂ : Mn)、(LuBO₃ : Eu)、(SnO₂ :
25 Eu)を例示することができる。緑色発光蛍光体領域を構成する
蛍光体材料として、(ZnSiO₃ : Mn)、(BaAl₁₂O₁₉ : Mn)、
(BaMg₂Al₁₆O₂₇ : Mn)、(MgGa₂O₄ : Mn)、(YBO₃ :
Eu)を例示することができる。

Tb)、(LuBO₃: Tb)、(Sr₄Si₃O₈Cl₄: Eu)、(ZnS: Cu, Al)、(ZnS: Cu, Au, Al)、(ZnBaO₄: Mn)、(GdBBO₃: Tb)、(Sr₆SiO₃Cl₃: Eu)、(BaMgAl₁₄O₂₃: Mn)、(ScBO₃: Tb)、(Zn₂SiO₄: Mn)、(ZnO: Zn)、(Gd₂O₂S: Tb)、(ZnGa₂O₄: Mn)を例示することができる。青色発光蛍光体領域を構成する蛍光体材料として、(Y₂SiO₅: Ce)、(CaWO₄: Pb)、CaWO₄、Y₂P_{0.85}V_{0.15}O₄、(BaMgAl₁₄O₂₃: Eu)、(Sr₂P₂O₇: Eu)、(Sr₂P₂O₇: Sn)、(ZnS: Ag, Al)、(ZnS: Ag)、ZnMgO、ZnGaO₄を例示することができる。

アノード電極の構成材料は、冷陰極電子放出表示装置の構成によって適宜選択すればよい。即ち、冷陰極電子放出表示装置が透過型（アノードパネルが表示面に相当する）であって、且つ、アノードパネルを構成する基板上にアノード電極と蛍光体領域がこの順に積層されている場合には、基板は元より、アノード電極自身も透明である必要があり、ITO（インジウム錫酸化物）等の透明導電材料を用いる。一方、冷陰極電子放出表示装置が反射型（カソードパネルが表示面に相当する）である場合、及び、透過型であっても基板上に蛍光体領域とアノード電極とがこの順に積層されている場合には、ITOの他、アルミニウム（Al）あるいはクロム（Cr）を用いることができる。アルミニウム（Al）あるいはクロム（Cr）からアノード電極を構成する場合、アノード電極の厚さとして、具体的には、 3×10^{-8} m（30nm）乃至 1.5×10^{-7} m（150nm）、好ましくは 5×10^{-8} m（50nm）乃至 1×10^{-7} m（100nm）を例示することができる。アノード電極は、蒸着法やスパッタリング法にて形

成することができる。尚、後者の場合、アノード電極は、蛍光体領域からの発光を反射させる反射膜としての機能の他、蛍光体領域から反跳した電子、あるいは放出された二次電子を反射させる反射膜としての機能、蛍光体領域の帯電防止といった機能を有する。

冷陰極電界電子放出表示装置において、アノード電極は、有効領域を覆う1枚のシート状の形状を有する構成とすることもできるし、2以上の複数個のアノード電極ユニットの集合体から構成することもできる。各アノード電極ユニットの大きさは、アノード電極ユニットの位置に拘わらず同じとしてもよいし、アノード電極ユニットの位置に依存して異ならせててもよい。

アノード電極と蛍光体領域の構成例として、(1) 基板上に、アノード電極を形成し、アノード電極の上に蛍光体領域を形成する構成、(2) 基板上に、蛍光体領域を形成し、蛍光体領域上にアノード電極を形成する構成、を挙げることができる。尚、(1)の構成において、蛍光体領域の上に、アノード電極と導通した所謂メタルバック膜を形成してもよい。また、(2)の構成において、アノード電極の上にメタルバック膜を形成してもよい。

カソードパネルとアノードパネルとを周縁部において接合する場合、接合は接着層を用いて行ってもよいし、あるいは、ガラスやセラミックス等の絶縁剛性材料から成る枠体と接着層とを併用して行ってもよい。枠体と接着層とを併用する場合には、枠体の高さを適宜選択することにより、接着層のみを使用する場合に比べ、カソードパネルとアノードパネルとの間の対向距離をより長く設定することが可能である。尚、接着層の構成材料としては、フリットガラスが一般的であるが、融点が120～400℃

程度の所謂低融点金属材料を用いてもよい。係る低融点金属材料としては、In（インジウム：融点157℃）；インジウム－金系の低融点合金；Sn₈₀Ag₂₀（融点220～370℃）、Sn₉₅Cu₅（融点227～370℃）等の錫（Sn）系高温はんだ；
5 Pb_{97.5}Ag_{2.5}（融点304℃）、Pb_{94.5}Ag_{5.5}（融点304～365℃）、Pb_{97.5}Ag_{1.5}Sn_{1.0}（融点309℃）等の鉛（Pb）系高温はんだ；Zn₉₅Al₅（融点380℃）等の亜鉛（Zn）系高温はんだ；Sn₅Pb₉₅（融点300～314℃）、Sn₂Pb₉₈（融点316～322℃）等の錫－鉛系標準はんだ；Au₈₈Ga₁₂（融点381℃）等のろう材（以上の添字は全て原子%を表す）を例示することができる。

基板と支持体と枠体の三者を接合する場合、三者同時接合を行ってもよいし、あるいは、第1段階で基板又は支持体のいずれか一方と枠体とを先に接合し、第2段階で基板又は支持体の他方と枠体とを接合してもよい。三者同時接合や第2段階における接合を真空雰囲気中で行えば、基板と支持体と枠体と接着層とにより囲まれた空間は、接合と同時に真空となる。あるいは、三者の接合終了後、基板と支持体と枠体と接着層とによって囲まれた空間を排気し、真空とすることもできる。接合後に排気を行う場合、接合時の雰囲気の圧力は常圧／減圧のいずれであってもよく、また、雰囲気を構成する気体は、大気であっても、あるいは窒素ガスや周期律表0族に属するガス（例えばArガス）を含む不活性ガスであってもよい。

接合後に排気を行う場合、排気は、基板及び／又は支持体に予め接続されたチップ管を通じて行うことができる。チップ管は、典型的にはガラス管を用いて構成され、基板及び／又は支持体の

無効領域（即ち、表示部分として機能する有効領域以外の領域）に設けられた貫通孔の周囲に、フリットガラス又は上述の低融点金属材料を用いて接合され、空間が所定の真空中に達した後、熱融着によって封じ切られる。尚、封じ切りを行う前に、冷陰極電
5 界電子放出表示装置全体を一旦加熱してから降温させると、空間に残留ガスを放出させることができ、この残留ガスを排気により空間外へ除去することができるので好適である。

本発明においては、（1）入力値が第1の基準値以上である場合、比較器の出力に基づき、一定期間よりも短い所定の期間、第
10 1のスイッチ回路がオン状態とされることで、所定の期間、第n列目のデータ電極（あるいは、第n番目のカソード電極やゲート電極）に第1の電圧V₁が印加され、（2）入力値が第2の基準値以下である場合、比較器の出力に基づき、一定期間よりも短い所定の期間、第2のスイッチ回路がオン状態とされることで、所定
15 の期間、第n列目のデータ電極（あるいは、第n番目のカソード電極やゲート電極）に第2の電圧V₂が印加される。即ち、走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータの値、あるいは又、ゲート電極やカソード電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値と、それよりも
20 1つ前のデータの値との差分が第1の基準値以上であり、あるいは又、第2の基準値以下である場合、駆動用ドライバが、電極へ印加される電圧の立上り、立下りの波形を補償するための一連の補償回路として動作し、機能する。従って、電極へ印加される電
25 圧の立上り、立下りの波形を急峻にすることができる結果、画面表示の応答性の向上を図ることができ、滑らかな画像表示を達成

することができる。しかも、第 n 列目のデータ電極（あるいは、第 n 番目のカソード電極やゲート電極）に第 1 の電圧 V_1 や第 2 の電圧 V_2 が印加される期間（時間）は一定期間よりも短いので、固定画素表示装置あるいは冷陰極電界電子放出表示装置における消費電力の増加を抑制することができる。また、輪郭が強調された画像を得ることができるので、視認される画像に先鋭さが増加するといった利点を有する。

図面の簡単な説明

第 1 図は、実施例 1 の固定画素表示装置あるいは冷陰極電界電子放出表示装置における駆動用ドライバ等の回路図である。

第 2 図は、実施例 1 の固定画素表示装置の概念図である。

第 3 図は、実施例 1 の固定画素表示装置あるいは冷陰極電界電子放出表示装置における電極（より具体的には、カソード電極）への電圧の印加状態を模式的に示す図である。

第 4 図は、実施例 2 の固定画素表示装置あるいは冷陰極電界電子放出表示装置における電極（より具体的には、ゲート電極）への電圧の印加状態を模式的に示す図である。

第 5 図は、実施例 1 の冷陰極電界電子放出表示装置の模式的な一部端面図である。

第 6 図は、実施例 1 の冷陰極電界電子放出表示装置を構成するカソードパネルとアノードパネルを分解したときの模式的な部分的斜視図である。

第 7 図は、冷陰極電界電子放出表示装置を構成するアノードパネルにおける隔壁、スペーサ及び蛍光体領域の配置を模式的に示す配置図である。

第8図は、冷陰極電界電子放出表示装置を構成するアノードパネルにおける隔壁、スペーサ及び蛍光体領域の配置を模式的に示す配置図である。

第9図は、冷陰極電界電子放出表示装置を構成するアノードパネルにおける隔壁、スペーサ及び蛍光体領域の配置を模式的に示す配置図である。

第10図は、冷陰極電界電子放出表示装置を構成するアノードパネルにおける隔壁、スペーサ及び蛍光体領域の配置を模式的に示す配置図である。

第11A図乃至第11B図は、実施例1におけるスピント型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

第12A図乃至第12B図は、第11B図に引き続き、実施例1におけるスピント型冷陰極電界電子放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

第13図は、収束電極を有する冷陰極電界電子放出素子の模式的な一部端面図である。

第14図は、従来の固定画素表示装置におけるデータ電極出力回路の回路図である。

20

発明を実施するための最良の形態

以下、図面を参照して、実施例に基づき本発明を説明するが、従来の固定画素表示装置や冷陰極電界電子放出表示装置の構成、構造を大幅に変更すること無しに、より具体的には、実質的にスイッチ回路及び減算回路を加えるだけで、データ電極等へ印加される電圧の立上り、立下りの波形を急峻にすることが可能な固定

画素表示装置や冷陰極電界電子放出表示装置を達成することができる。

実施例 1

5 実施例 1 は、本発明の固定画素表示装置、及び、本発明の第 1 の態様に係る冷陰極電界電子放出表示装置に関する。

実施例 1 における駆動用ドライバ等の回路図を第 1 図に示し、実施例 1 の固定画素表示装置の概念図を第 2 図に示し、実施例 1 の固定画素表示装置あるいは冷陰極電界電子放出表示装置（以下、10 これらを総称して、単に、表示装置と呼ぶ場合がある）におけるデータ電極（カソード電極）への電圧の印加状態を模式的に第 3 図に示す。更には、実施例 1 の冷陰極電界電子放出表示装置の模式的な一部端面図を第 5 図に示し、カソードパネル C P とアノードパネル A P を分解したときの模式的な部分的斜視図を第 6 図 15 に示し、蛍光体領域等の配列を、模式的な部分的平面図として、第 7 図～第 10 図に例示する。尚、アノードパネル A P の模式的な一部端面図における蛍光体領域等の配列を、第 9 図あるいは第 10 図に示す構成としている。

概念図を第 2 図に示すように、実施例 1 の固定画素表示装置は、20 第 1 の方向に延びる M 本（但し、 $M \geq 2$ ）のストライプ状の走査電極（実施例 1 においては、後述するゲート電極が相当する）、及び、第 1 の方向とは異なる第 2 の方向に延びる N 本（但し、 $N \geq 2$ ）のストライプ状のデータ電極（実施例 1 においては、後述するカソード電極が相当する）を備え、走査電極とデータ電極との重複領域から構成された発光領域 L E が M 行 \times N 列の 2 次元マトリックス状に配列されている。そして、データ電極を駆動す 25

るためには、各データ電極に接続された駆動用ドライバ50を備えている。駆動用ドライバ50の個数はNである。

また、実施例1の冷陰極電界電子放出表示装置は、カソードパネルCPとアノードパネルAPとがそれらの周縁部で接合され
5て成り、カソードパネルCPとアノードパネルAPとによって挟まれた空間は真空状態とされている。

そして、カソードパネルCPは、

(a) 支持体10、

10 (b) 支持体10上に形成され、第1の方向(第5図の紙面と平行な方向)に延びるN本(但し、 $N \geq 2$)のストライプ状のカソード電極11、

(c) 支持体10及びカソード電極11上に形成された絶縁層12、

15 (d) 絶縁層12上に形成され、第1の方向とは異なる第2の方向(第5図の紙面に垂直な方向)に延びるM本(但し、 $M \geq 2$)のストライプ状のゲート電極13、及び、

(e) カソード電極11とゲート電極13との重複領域に位置する電子放出領域EA、

から構成されている。

一方、アノードパネルAPは、基板20、並びに、この基板20上に形成された、各電子放出領域EAに対応して設けられた蛍光体領域22(カラー表示の場合、赤色発光蛍光体領域22R、緑色発光蛍光体領域22G、青色発光蛍光体領域22B)及び蛍光体領域22を覆うアノード電極24から構成されている。

25 より具体的には、アノードパネルAPは、基板20、基板20上に形成された隔壁21と隔壁21との間の基板20上に形成

され、多数の蛍光体粒子から成る蛍光体領域 22（赤色発光蛍光体領域 22R、緑色発光蛍光体領域 22G、青色発光蛍光体領域 22B）、及び、蛍光体領域 22 上に形成されたアノード電極 24 を備えている。アノード電極 24 は、有効領域を覆う薄い 1 枚のシート状であり、周知の回路構成を有するアノード電極制御回路 32 に接続されている。アノード電極 24 は、厚さ約 70 nm のアルミニウムから成り、隔壁 21 を覆う状態で設けられている。蛍光体領域 22 と蛍光体領域 22 との間であって、隔壁 21 と基板 20 との間には、光吸収層（ブラックマトリックス）23 が形成されている。隔壁 21 とスペーサ 25 と蛍光体領域 22 の配置状態の一例を模式的に第 7 図～第 10 図に示す。第 7 図及び第 8 図に示す例においては、格子形状（井桁形状）の隔壁 21 が形成されており、蛍光体領域 22（赤色発光蛍光体領域 22R、緑色発光蛍光体領域 22G、青色発光蛍光体領域 22B）の形状はドット状である。一方、第 9 図及び第 10 図に示す例においては、隔壁 21 の平面形状は、略矩形の蛍光体領域 22 の対向する二辺と平行に延びる帯状形状（ストライプ形状）を有する。尚、蛍光体領域 22 を、第 7 図あるいは第 9 図の上下方向に延びるストライプ状とすることもできる。

そして、電子放出領域 EA は、ゲート電極 13 及び絶縁層 12 に設けられた開口部 14（ゲート電極 13 に設けられた開口部 14A 及び絶縁層 12 に設けられた開口部 14B）の底部に位置する電子放出部 15 から構成されている。尚、実施例 1 においては、電子放出部 15 は円錐形である。また、ゲート電極 13 が走査電極に該当し、カソード電極 11 がデータ電極に該当し、電子放出領域 EA が発光領域の一部に該当する。尚、第 1 の方向と第 2 の

方向とは直交している。即ち、走査電極（ゲート電極 1 3）の射影像とデータ電極（カソード電極 1 1）の射影像とは直交している。ここで、ゲート電極 1 3 には走査信号が入力され、カソード電極 1 1 にはビデオ信号（色信号）が入力される。

5 即ち、実施例 1 の表示装置においては、

(a) 支持体 1 0 上に形成され、第 1 の方向に延びるストライプ状のカソード電極 1 1、

(b) 支持体 1 0 及びカソード電極 1 1 上に形成された絶縁層 1 2、

10 (c) 絶縁層 1 2 上に形成され、第 1 の方向とは異なる第 2 の方向に延びるストライプ状のゲート電極 1 3、

(d) ゲート電極 1 3 及び絶縁層 1 2 に設けられた開口部 1 4、及び、

(e) 開口部の底部に位置する電子放出部 1 5、

15 から冷陰極電界電子放出素子（以下、電界放出素子と略称する）が構成されており、より具体的には、この電界放出素子は、円錐形の電子放出部 1 5 が開口部 1 4 の底部に位置するカソード電極 1 1 上に設けられたスピント型電界放出素子である。

カソード電極 1 1 の射影像とゲート電極 1 3 の射影像とが重複する領域（重複領域）に設けられた複数の電子放出部 1 5 によって、電子放出領域 E A が構成されている。そして、第 6 図にカソードパネル C P 及びアノードパネル A P の模式的な部分的斜視図を示すように、1 画素分の領域に相当する電子放出領域 E A が、カソードパネル C P の有効領域内に、2 次元マトリクス状に配列されている。発光領域（1 画素あるいは 1 サブピクセル）は、カソードパネル側の電子放出領域 E A と、この電子放出領域 E A

に對面したアノードパネル側の蛍光体領域 22 とによって構成されている。有効領域には、係る発光領域（画素あるいはサブピクセル）が、例えば数十万～数百万個ものオーダーにて配列されている。

5 そして、カソード電極 11 とゲート電極 13 とに印加された電圧によって生じた強電界が発光領域を構成する電子放出部 15 に加わる結果、量子トンネル効果により電子放出部 15 から電子が放出され、アノード電極 24 と衝突する。即ち、アノード電極 24 からカソード電極 11 へと放出電子電流が流れる。尚、第 6
10 図においては、隔壁 21 やスペーサ 25 の図示を省略している。

そして、実施例 1 の冷陰極電子放出表示装置は、カソード電極 11 を駆動するために、各カソード電極 11 に接続された駆動用ドライバ 50 を更に備えている。

ここで、各駆動用ドライバ 50 は、スイッチ回路、出力回路 5
15 1、及び、減算回路 52 から成る。また、カソード電極 11 が接続されたカソード電極制御回路 30 は、N 個の駆動用ドライバ 50 と N 個の例えば 8 ビットの D/A コンバータ 43 から構成されている。更には、ゲート電極 13 が接続されたゲート電極制御回路 31 は、一定の電圧 V_c をゲート電極 13 に印加する周知の電源及び走査電極出力回路から構成されている。
20

ここで、スイッチ回路は、

(A) データ電極（カソード電極 11）に第 1 の電圧 V_1 を印加するための第 1 のスイッチ回路 53（第 3 図に示すように符号「SW₁」で表す場合もある）、

25 (B) データ電極（カソード電極 11）に第 2 の電圧 V_2 （但し、 $V_2 \neq V_1$ であり、より具体的には、実施例 1においては V_2

$> V_1$ である) を印加するための第 2 のスイッチ回路 5 4 (第 3 図に示すように符号「SW₂」で表す場合もある)、及び、

(C) 第 1 のスイッチ回路 5 3 及び第 2 のスイッチ回路 5 4 のオン／オフ制御を行うための比較器 5 5 (比較器 5 5 A, 5 5 B)、
5 を備えている。

尚、第 1 のスイッチ回路 5 3 及び第 2 のスイッチ回路 5 4 は、例えばN M O S - F E T から構成すればよいし、減算回路 5 2 及び比較器 5 5 は、周知の減算回路及び比較器から構成すればよい。後述する実施例 2 においても同様とすることができる。

10 実施例 1 の表示装置にあっては、画像表示時、第 m 行目(但し、m は 2, 3 . . . M のいずれか) の走査電極によって構成される N 個の発光領域のそれぞれにおける発光状態を制御するためのデータ(階調制御用データ) の値 D_{m, n} (但し、n は 1, 2 . . . N である) に基づき出力回路 5 1 から出力された電圧が、一定期間、第 n 列目のデータ電極に印加される。言い換えれば、第 m 番目(但し、m = 2, 3 . . . M のいずれか) のゲート電極 1 3 によって構成される N 個の電子放出領域 E A のそれぞれにおける電子の放出状態を制御するためのデータ(階調制御用データ) の値 D_{m, n} (但し、n は 1, 2 . . . N である) に基づき出力回路 5 1 から出力された電圧(0 ボルト乃至 15 ボルト)が、一定期間、第 n 番目のカソード電極 1 1 に印加される。

20

具体的には、第 1 図に示すように、画像信号が例えば 8 ビットの A / D コンバータ 4 1 に入力され、A / D コンバータ 4 1 の出力であるデータ D_{m, n} が、2 系列備えられたラインバッファ 4 2 に順次、一旦記憶される。そして、ラインバッファ 4 2 に記憶された階調制御用データに相当するデータ D_{m, n} は順次、第 n 番目の駆

25

動用ドライバ 5 0 を構成する例えば 8 ビットの D/A コンバータ 4 3 に送られ、D/A コンバータ 4 3 からのアナログ信号が、第 n 列目のデータ電極（第 n 番目のカソード電極 1 1）に接続された駆動用ドライバ 5 0 を構成する出力回路 5 1 に入力される。

5 そして、切替タイミングパルス（ロード信号）に応じて、走査電極出力回路によって第 1 行目から第 M 行目までの走査電極（ゲート電極 1 3）が線順次駆動され、走査電極（ゲート電極 1 3）に、順次、例えば一定の電圧 V_0 （＝ 3.5 ボルト）が印加される。また、第 n 列目（但し、 $n = 1, 2, \dots, N$ ）のデータ電極（カソード電極 1 1）には、階調に応じて、電圧変調方式に基づき可変の電圧 V_{DATA} が出力回路 5 1 から印加される。

出力回路 5 1 は、CMOS 回路から成る電流バッファ回路であり、電圧ゲインが 1 であり、電流ゲインが 1 を越える回路である。具体的には、出力回路 5 1 への入力電圧と出力回路 5 1 からの出力電圧は等しく、出力回路 5 1 への入力電流よりも出力回路 5 1 からの出力電流が大きい。出力回路 5 1 を構成する PMOS-FET の一方のソース／ドレイン領域は V_{cc} （＝ 1.5 ボルト）に接続されており、PMOS-FET の他方のソース／ドレイン領域は、出力回路 5 1 を構成する NMOS-FET の一方のソース／ドレイン領域と共に、データ電極（カソード電極 1 1）に接続されており、出力回路 5 1 を構成する NMOS-FET の他方のソース／ドレイン領域は接地されている。更には、出力回路 5 1 を構成する PMOS-FET 及び NMOS-FET のゲート電極は、D/A コンバータ 4 3 に接続されている。各出力回路 5 1 からの出力によって各データ電極（各カソード電極 1 1）が駆動されるが、この出力回路 5 1 からの出力は、実質的に、第 3 図の (B)

に示した従来のデータ電極に印加される電圧 V_{DATA} と同じである。

そして、実施例 1 の表示装置にあっては、第 m 行目の走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータ（階調制御用データ）の値 $D_{m,n}$ から第（ $m-1$ ）行目の走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータ（階調制御用データ）の値 $D_{m-1,n}$ を減算回路 5 2において減じて得られた値（ $D_{m,n} - D_{m-1,n}$ であり、階調制御用差分データである）が入力値として比較器 5 5（より具体的には、第 1 の比較器 5 5 A 及び第 2 の比較器 5 5 B）に入力される。言い換えれば、第 m 番目のゲート電極 1 3 によって構成される電子放出領域 E A のそれぞれにおける電子の放出状態を制御するためのデータ（階調制御用データ）の値 $D_{m,n}$ から第（ $m-1$ ）番目のゲート電極 1 3 によって構成される電子放出領域 E A のそれぞれにおける電子の放出状態を制御するためのデータ（階調制御用データ）の値 $D_{m-1,n}$ を減算回路 5 2において減じて得られた値（ $D_{m,n} - D_{m-1,n}$ であり、階調制御用差分データである）が入力値として比較器 5 5（より具体的には、第 1 の比較器 5 5 A 及び第 2 の比較器 5 5 B）に入力される。一方、第 1 の比較器 5 5 A には第 1 の基準値が入力され、第 2 の比較器 5 5 B には第 2 の基準値が入力される。

即ち、具体的には、実施例 1においては、走査電極（ゲート電極 1 3）に一定の電圧 V_G （= 3 5 ボルト）を印加し、データ電極（カソード電極 1 1）に階調に応じて電圧 V_c （= 0 ボルト乃至 1 5 ボルト）を印加する。そして、第（ $m-1$ ）行目×第 n 列目の発光領域における発光状態を制御するためにデータ電極に電圧 $V_{DATA(m-1,n)}$ （このときのデータの値は $D_{m-1,n}$ である）を印加

し、第 m 行目 × 第 n 列目の発光領域における発光状態を制御するためにデータ電極に電圧 $V_{DATA(m, n)}$ (このときのデータの値は $D_{m, n}$ である) を印加する。言い換えれば、第 (m - 1) 番目 × 第 n 番目の電子放出領域における電子の放出状態を制御するためにカソード電極 1 1 に電圧 $V_{DATA(m-1, n)}$ (このときのデータの値は $D_{m-1, n}$ である) を印加し、第 m 番目 × 第 n 番目の電子放出領域における電子の放出状態を制御するためにカソード電極 1 1 に電圧 $V_{DATA(m, n)}$ (このときのデータの値は $D_{m, n}$ である) を印加する。そして、ラインバッファ 4 2 に記憶されたデータの値 $D_{m-1, n}$, $D_{m, n}$ を読み出して減算回路 5 2 に送出し、減算回路 5 2 において減じて得られた値 ($D_{m, n} - D_{m-1, n}$) が入力値として比較器 5 5 (第 1 の比較器 5 5 A 及び第 2 の比較器 5 5 B) に入力され、比較器 5 5 (第 1 の比較器 5 5 A 及び第 2 の比較器 5 5 B) に入力された入力値 ($D_{m, n} - D_{m-1, n}$) と、第 1 の基準値及び第 2 の基準値とが比較器 5 5 において比較される。

ここで、実施例 1においては、走査電極に印加される電圧とデータ電極に印加される電圧との差を ΔV としたとき、第 1 の電圧 V_1 は、 ΔV の最大値を得るためにデータ電極に印加すべき電圧であり、第 2 の電圧 V_2 は、 ΔV の最小値を得るためにデータ電極に印加すべき電圧である。また、実施例 1においては、(走査電極に印加される電圧) $>$ (データ電極に印加される電圧) であるので、 $V_1 < V_2$ である。言い換えれば、ゲート電極 1 3 に印加される電圧 (例えば、35 ボルト一定) とカソード電極 1 1 に印加される電圧 (階調に応じて、例えば 0 ボルト乃至 15 ボルト) との差を ΔV_{Gc} としたとき、第 1 の電圧 V_1 は、 ΔV_{Gc} の最大値 (即ち、35 ボルト) を得るためにカソード電極 1 1 に印加すべき電

圧（即ち、0 ボルト）であり、第 2 の電圧 V_2 は、 ΔV_{cc} の最小値（即ち、20 ボルト）を得るためにカソード電極 11 に印加すべき電圧（即ち、15 ボルト）である。そして、第 1 の基準値を電圧 α ($V_2 - V_1$) に対応する値、第 2 の基準値を電圧 β ($V_1 - V_2$) に対応する値としたとき、 α の値を 0.5、 β の値を 0.5 としている。ここで、減算回路 52 への入力デジタルデータであるデータの値 $D_{m,n}$ を 8 ビットとすれば、256 段階の階調制御が行われる。ここで、 $D_{m,n} = 255$ が最も明るい画面データを表しているとする。この場合、 α の値及び β の値を 8 ビットのデジタル表現で言い換えたときの値をそれぞれ α' 、 β' とすれば、 $\alpha' = 128$ 、 $\beta' = 128$ である。一般的には、 $32 \leq \alpha' \leq 192$ 、 $32 \leq \beta' \leq 192$ を満足することが好ましい。

そして、もしも入力値が第 1 の基準値以上である場合、即ち、 $(D_{m,n} - D_{m-1,n}) > \alpha'$ あるいは $(D_{m,n} - D_{m-1,n}) \geq \alpha'$ である場合、第 1 の比較器 55A の出力に基づき、一定期間（例えば、25 マイクロ秒）よりも短い所定の期間（例えば、5 マイクロ秒）、第 1 のスイッチ回路 53 がオン状態とされることで、所定の期間（例えば、5 マイクロ秒）、第 n 列目のデータ電極（第 n 番目のカソード電極 11）に第 1 の電圧 V_1 (= 0 ボルト) が印加される。この状態は、第 3 図の (A) において、第 m 行目 × 第 n 列目の 1 ライン期間におけるデータ電極への印加電圧 V_{DATA} として表されている。

一方、もしも入力値が第 2 の基準値以下である場合、即ち、 $(D_{m,n} - D_{m-1,n}) < \beta'$ あるいは $(D_{m,n} - D_{m-1,n}) \leq \beta'$ の場合、第 2 の比較器 55B の出力に基づき、一定期間（例えば、25 マイクロ秒）よりも短い所定の期間（例えば、5 マイクロ秒）、第 2

のスイッチ回路 5 4 がオン状態とされることで、所定の期間（例えば、5 マイクロ秒）、第 n 列目のデータ電極（第 n 番目のカソード電極 1 1）に第 2 の電圧 V_2 (= 15 ボルト) が印加される。この状態は、第 3 図の (A) において、第 (m - 1) 行目 × 第 n 5 列目の 1 ライン期間及び第 (m + 2) 行目 × 第 n 列目の 1 ライン期間におけるデータ電極への印加電圧 V_{DATA} として表されている。

また、もしも入力値が第 1 の基準値未満であり且つ第 2 の基準値を越えている場合、即ち、 $\beta' \leq (D_{m,n} - D_{m-1,n}) \leq \alpha'$ あるいは $\beta' < (D_{m,n} - D_{m-1,n}) < \alpha'$ である場合には、第 1 のスイ 10 ッチ回路 5 3 及び第 2 のスイッチ回路 5 4 はオフ状態に保持される。

この状態は、第 3 図の (A) において、第 (m + 1) 行目 × 第 n 列目の 1 ライン期間として表されている。

以上のように、実施例 1においては、走査電極への印加状態が 15 例えば第 m 行目から第 (m + 1) 行目に切り替えられた直後の（言い換えれば、ゲート電極 1 3 への印加状態が例えば第 m 番目から 第 (m + 1) 番目に切り替えられた直後の）、データ電極（カソード電極 1 1）に印加される電圧 V_{DATA} の波形の立上り、立下りの波形を、電圧 V_1 、 V_2 を加重することによって急峻にすること 20 ができる結果、画面表示の応答性の向上を図ることができ、滑らかな画像表示を達成することができる。しかも、第 n 列目のデータ電極（第 n 番目のカソード電極 1 1）に第 1 の電圧 V_1 や第 2 の電圧 V_2 が印加される期間（時間）は一定期間よりも短いので、固定画素表示装置あるいは冷陰極電界電子放出表示装置における消費電力の増加を抑制することができる。また、輪郭が強調された画像を得ることができるので、視認される画像に先鋭さが増 25

加する。

尚、実施例 1においては、第 1 行目の走査電極によって構成される N 個の発光領域のそれにおける発光状態を制御するためのデータの値 $D_{1,n}$ （但し、n は 1, 2, ..., N である）に基づき出力回路 5 1 から出力された電圧が、一定期間、第 n 列目のデータ電極に印加されるが、言い換えれば、第 1 番目のゲート電極 1 3 によって構成される N 個の電子放出領域 EA のそれにおける電子の放出状態を制御するためのデータの値 $D_{1,n}$ （但し、n は 1, 2, ..., N である）に基づき出力回路 5 1 から出力された電圧が、一定期間、第 n 番目のカソード電極 1 1 に印加される。
そして、この場合、第 1 行目の走査電極によって構成される発光領域のそれにおける発光状態を制御するためのデータの値 $D_{1,n}$ からデータ値「0」（データの値 $D_{0,n}$ と表現する）を減算回路において減じて得られた値 ($D_{1,n} - D_{0,n}$) が入力値として比較器に入力され、比較器に入力された入力値と、第 1 の基準値及び第 2 の基準値とが比較器において比較される。データの値 $D_{0,n}$ を用いる代わりに、直前のデータの値 $D_{M,n}$ （1 フレーム前の最後のデータの値）を用いることもできる。あるいは又、第 1 番目のゲート電極によって構成される N 個の電子放出領域のそれにおける発光状態を制御するためのデータの値 $D_{1,n}$ からデータ値「0」（データの値 $D_{0,n}$ と表現する）を減算回路において減じて得られた値 ($D_{1,n} - D_{0,n}$) が入力値として比較器に入力され、比較器に入力された入力値と、第 1 の基準値及び第 2 の基準値とが比較器において比較される。データの値 $D_{0,n}$ を用いる代わりに、直前のデータの値 $D_{M,n}$ （1 フレーム前の最後のデータの値）を用いることもできる。

以下、スピント型電界放出素子の製造方法を、カソードパネルを構成する支持体 10 等の模式的な一部端面図である第 11A 図乃至第 11B 図及び第 12A 図乃至第 12B 図を参照して説明するが、本発明の冷陰極電界電子放出表示装置における電界放出素子は、スピント型電界放出素子に限定するものではない。
5

尚、このスピント型電界放出素子は、基本的には、円錐形の電子放出部 15 を金属材料の垂直蒸着により形成する方法によつて得ることができる。即ち、ゲート電極 13 に設けられた開口部 14A に対して蒸着粒子は垂直に入射するが、開口部 14A の開口端付近に形成されるオーバーハング状の堆積物による遮蔽効果を利用して、絶縁層 12 に設けられた開口部 14B の底部に到達する蒸着粒子の量を漸減させ、円錐形の堆積物である電子放出部 15 を自己整合的に形成する。ここでは、不要なオーバーハング状の堆積物の除去を容易とするために、ゲート電極 13 及び絶縁層 12 上に剥離層 16 を予め形成しておく方法について説明する。尚、第 11A 図乃至第 11B 図及び第 12A 図乃至第 12B 図においては、1 つの電子放出部のみを図示した。

[工程 - A 0]

先ず、例えばガラス基板から成る支持体 10 の上に、例えばポリシリコンから成るカソード電極用導電材料層をプラズマ CVD 法にて成膜した後、リソグラフィ技術及びドライエッティング技術に基づきカソード電極用導電材料層をパターニングして、ストライプ状のカソード電極 11 を形成する。その後、全面に SiO₂ から成る絶縁層 12 を CVD 法にて形成する。

[工程 - A 1]

次に、絶縁層 12 上に、ゲート電極用導電材料層（例えば、T

i N 層) をスパッタ法にて成膜し、次いで、ゲート電極用導電材料層をリソグラフィ技術及びドライエッチング技術にてパターニングすることによって、ストライプ状のゲート電極 1 3 を得ることができる。ストライプ状のカソード電極 1 1 は、図面の紙面 5 左右方向に延び、ストライプ状のゲート電極 1 3 は、図面の紙面垂直方向に延びている。

尚、ゲート電極 1 3 を、真空蒸着法等の P V D 法、 C V D 法、電気メッキ法や無電解メッキ法といったメッキ法、スクリーン印刷法、レーザーアブレーション法、ゾルーゲル法、リフトオフ法 10 等の公知の薄膜形成と、必要に応じてエッチング技術との組合せによって形成してもよい。スクリーン印刷法やメッキ法によれば、直接、例えばストライプ状のゲート電極を形成することが可能である。

[工程 - A 2]

15 その後、再びレジスト層を形成し、エッチングによってゲート電極 1 3 に開口部 1 4 A を形成し、更に、絶縁層に開口部 1 4 B を形成し、開口部 1 4 B の底部にカソード電極 1 1 を露出させた後、レジスト層を除去する。こうして、第 1 1 A 図に示す構造を得ることができる。

[工程 - A 3]

次に、支持体 1 0 を回転させながらゲート電極 1 3 上を含む絶縁層 1 2 上にニッケル (N i) を斜め蒸着することにより、剥離層 1 6 を形成する (第 1 1 B 図参照)。このとき、支持体 1 0 の法線に対する蒸着粒子の入射角を十分に大きく選択することにより (例えば、入射角 6 5 度～8 5 度)、開口部 1 4 B の底部にニッケルを殆ど堆積させることなく、ゲート電極 1 3 及び絶縁層 25

12の上に剥離層16を形成することができる。剥離層16は、開口部14Aの開口端から底状に張り出しており、これによって開口部14Aが実質的に縮径される。

[工程-A4]

5 次に、全面に例えれば導電材料としてモリブデン(Mo)を垂直蒸着する(入射角3度~10度)。このとき、第12A図に示すように、剥離層16上でオーバーハング形状を有する導電材料層17が成長するに伴い、開口部14Aの実質的な直径が次第に縮小されるので、開口部14Bの底部において堆積に寄与する蒸着粒子は、次第に開口部14Aの中央付近を通過するものに限られるようになる。その結果、開口部14Bの底部には円錐形の堆積物が形成され、この円錐形の堆積物が電子放出部15となる。

[工程-A5]

その後、第12B図に示すように、リフトオフ法にて剥離層16をゲート電極13及び絶縁層12の表面から剥離し、ゲート電極13及び絶縁層12の上方の導電材料層17を選択的に除去する。こうして、複数のスピント型電界放出素子が形成されたカソードパネルを得ることができる。その後、絶縁層12に設けられた開口部14Bの側壁面を等方的なエッティングによって後退させることができ、ゲート電極13の開口端部を露出させるといった観点から、好ましい。尚、等方的なエッティングは、ケミカルドライエッティングのようにラジカルを主エッティング種として利用するドライエッティング、あるいはエッティング液を利用するウェットエッティングにより行うことができる。エッティング液としては、例えば49%フッ酸水溶液と純水の1:100(容積比)混合液を用いることができる。こうして、第12B図に示す電界放出素子

を完成することができる。

[工程 - A 6]

次いで、表示装置の組み立てを行う。具体的には、蛍光体領域やアノード電極等が形成されたアノードパネル A P を準備する。

5 そして、例えば、アノードパネル A P の有効領域に設けられたスペーサ保持部（図示せず）にスペーサ 2 5 を取り付け、蛍光体領域 2 2 と電子放出領域 E A とが対向するようにアノードパネル A P とカソードパネル C P とを配置し、アノードパネル A P とカソードパネル C P （より具体的には、基板 2 0 と支持体 1 0 ）と 10 を、セラミックスやガラスから作製された高さ約 2 m m の枠体 2 6 を介して、周縁部において接合する。接合に際しては、枠体 2 6 とアノードパネル A P との接合部位、及び、枠体 2 6 とカソードパネル C P との接合部位にフリットガラスを塗布し、アノードパネル A P とカソードパネル C P と枠体 2 6 とを貼り合わせ、予備焼成にてフリットガラスを乾燥した後、約 4 5 0 ℃ で 1 0 ~ 3 15 分の本焼成を行う。その後、アノードパネル A P とカソードパネル C P と枠体 2 6 とフリットガラス（図示せず）とによって囲まれた空間を、貫通孔（図示せず）及びチップ管（図示せず）を通じて排気し、空間の圧力が $1 0^{-4}$ P a 程度に達した時点でチップ管を加熱溶融により封じ切る。このようにして、アノードパネル A P とカソードパネル C P と枠体 2 6 とに囲まれた空間を真空にすることができる。あるいは又、例えば、枠体 2 6 とアノードパネル A P とカソードパネル C P との貼り合わせを真空雰囲気中で行ってもよい。あるいは又、表示装置の構造に依っては、 20 枠体無しで、接着層のみによってアノードパネル A P とカソードパネル C P とを貼り合わせてもよい。その後、必要な外部回路と 25

の配線接続を行い、表示装置を完成させる。

実施例 2

実施例 2 は、本発明の固定画素表示装置、及び、本発明の第 2
5 の態様に係る冷陰極電界電子放出表示装置に関する。

実施例 2 における駆動用ドライバ等の回路図、実施例 2 の固定
画素表示装置の概念図は、それぞれ、第 1 図、第 2 図に示したと
同様であるし、実施例 2 の冷陰極電界電子放出表示装置の模式的
な一部端面図、カソードパネル CP とアノードパネル AP を分解
10 したときの模式的な部分的斜視図、蛍光体領域等の配列は、それ
ぞれ、第 5 図、第 6 図、第 7 図～第 10 図に示したと同様である。
実施例 2 の表示装置におけるデータ電極（ゲート電極）への電圧
の印加状態を模式的に第 4 図に示す。

実施例 2 の冷陰極電界電子放出表示装置は、カソードパネル CP
15 とアノードパネル AP とがそれらの周縁部で接合されて成り、
カソードパネル CP とアノードパネル AP とによって挟まれた
空間は真空状態とされている。尚、実施例 2 においては、カソー
ド電極 1 1 が走査電極に相当し、ゲート電極 1 3 がデータ電極に
相当する。

20 実施例 2 において、カソードパネル CP は、

- (a) 支持体 1 0、
- (b) 支持体 1 0 上に形成され、第 1 の方向（第 5 図の紙面と
平行な方向）に延びる M 本（但し、 $M \geq 2$ ）のストライプ状のカ
ソード電極 1 1、
- 25 (c) 支持体 1 0 及びカソード電極 1 1 上に形成された絶縁層
1 2、

(d) 絶縁層 1 2 上に形成され、第 1 の方向とは異なる第 2 の方向（第 5 図の紙面に垂直な方向）に延びる N 本（但し、 $N \geq 2$ ）のストライプ状のゲート電極 1 3、及び、

(e) カソード電極 1 1 とゲート電極 1 3 との重複領域に位置
5 する電子放出領域 EA、
から構成されている。

一方、アノードパネル AP は、実施例 1 において説明したアノードパネル AP と同様の構成、構造を有する。

そして、電子放出領域 EA は、ゲート電極 1 3 及び絶縁層 1 2
10 に設けられた開口部 1 4（ゲート電極 1 3 に設けられた開口部 1
4 A 及び絶縁層 1 2 に設けられた開口部 1 4 B）の底部に位置す
る電子放出部 1 5 から構成されている。尚、実施例 2 においても、
電子放出部 1 5 は円錐形である。即ち、この電界放出素子は、実
施例 1 と同様に、円錐形の電子放出部 1 5 が開口部 1 4 の底部に
15 位置するカソード電極 1 1 上に設けられたスピント型電界放出
素子である。また、カソード電極 1 1 が走査電極に該当し、ゲー
ト電極 1 3 がデータ電極に該当し、電子放出領域 EA が発光領域
の一部に該当する。尚、第 1 の方向と第 2 の方向とは直交してい
る。即ち、走査電極（カソード電極 1 1）の射影像とデータ電極
20（ゲート電極 1 3）の射影像とは直交している。ここで、カソー
ド電極 1 1 には走査信号が入力され、ゲート電極 1 3 にはビデオ
信号（色信号）が入力される。

実施例 2 の冷陰極電界電子放出表示装置は、ゲート電極 1 3 を
駆動するために、各ゲート電極 1 3 に接続された駆動用ドライバ
25 5 0 を更に備えている。ここで、各駆動用ドライバ 5 0 は、実施
例 1 と同様に、スイッチ回路、出力回路 5 1、及び、減算回路 5

2から成る。また、ゲート電極13が接続されたゲート電極制御回路31は、N個の駆動用ドライバ50とN個の例えば8ビットのD/Aコンバータ43から構成されている。更には、カソード電極11が接続されたカソード電極制御回路30は、一定の電圧5 V_c をカソード電極11に印加する周知の電源及び走査電極出力回路から構成されている。

ここで、スイッチ回路は、

10 (A) データ電極(ゲート電極13)に第1の電圧 V_1 を印加するための第1のスイッチ回路53(第4図に示すように符号「SW₁」で表す場合もある)、

(B) データ電極(ゲート電極13)に第2の電圧 V_2 (但し、 $V_2 \neq V_1$ であり、より具体的には、実施例2においては $V_2 < V_1$ である)を印加するための第2のスイッチ回路54(第4図に示すように符号「SW₂」で表す場合もある)、及び、

15 (C) 第1のスイッチ回路53及び第2のスイッチ回路54のオン/オフ制御を行うための比較器55(比較器55A, 55B)、を備えている。

実施例2の表示装置にあっても、画像表示時、第m行目(但し、mは2, 3 ··· Mのいずれか)の走査電極によって構成されるN個の発光領域のそれぞれにおける発光状態を制御するためのデータ(階調制御用データ)の値 $D_{m,n}$ (但し、nは1, 2 ··· Nである)に基づき出力回路51から出力された電圧が、一定期間、第n列目のデータ電極に印加される。言い換えれば、第m番目(但し、m = 2, 3 ··· Mのいずれか)のカソード電極11によって構成されるN個の電子放出領域EAのそれぞれにおける電子の放出状態を制御するためのデータ(階調制御用データ)

の値 $D_{m,n}$ (但し、 n は 1, 2, ..., N である) に基づき出力回路 51 から出力された電圧 (20 ボルト乃至 35 ボルト) が、一定期間、第 n 番目のゲート電極 13 に印加される。

具体的には、第 1 図に示すように、画像信号が例えば 8 ビットの A/D コンバータ 41 に入力され、A/D コンバータ 41 の出力であるデータ $D_{m,n}$ が、2 系列備えられたラインバッファ 42 に一旦記憶される。そして、ラインバッファ 42 に記憶された階調制御用データに相当するデータ $D_{m,n}$ は順次、第 n 番目の駆動用ドライバ 50 を構成する D/A コンバータ 43 に送られ、D/A コンバータ 43 からのアナログ信号が、第 n 列目のデータ電極 (第 n 番目のゲート電極 13) に接続された駆動用ドライバ 50 を構成する出力回路 51 に入力される。そして、切替タイミングパルス (ロード信号) に応じて、走査電極出力回路によって第 1 行目から第 M 行目までの走査電極 (カソード電極 11) が線順次駆動され、走査電極 (カソード電極 11) に、順次、例えば一定の電圧 V_c (= 0 ボルト) が印加される。また、第 n 列目 (但し、 $n = 1, 2, \dots, N$) のデータ電極 (ゲート電極 13) には、階調に応じて、電圧変調方式に基づき可変の電圧 V_{DATA} が出力回路 51 から印加される。

出力回路 51 は、実施例 1 に説明したと同様の構造、構成を有する CMOS 回路から成る電流バッファ回路である。各出力回路 51 からの出力によって各データ電極 (各ゲート電極 13) が駆動されるが、この出力回路 51 からの出力は、実質的に、第 3 図の (B) に示した従来のデータ電極に印加される電圧 V_{DATA} と同じである。

そして、実施例 2 の表示装置にあっては、第 m 行目の走査電極

によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータ（階調制御用データ）の値 $D_{m,n}$ から第（ $m-1$ ）行目の走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータ（階調制御用データ）の値
5 $D_{m-1,n}$ を減算回路 5 2において減じて得られた値（ $D_{m,n} - D_{m-1,n}$ であり、階調制御用差分データである）が入力値として比較器 5 5（より具体的には、第 1 の比較器 5 5 A 及び第 2 の比較器 5 5 B）に入力される。言い換えれば、第 m 番目のカソード電極 1 1 によって構成される電子放出領域 E A のそれぞれにおける電子
10 の放出状態を制御するためのデータ（階調制御用データ）の値 $D_{m,n}$ から第（ $m-1$ ）番目のカソード電極 1 1 によって構成される電子放出領域 E A のそれぞれにおける電子の放出状態を制御するためのデータ（階調制御用データ）の値 $D_{m-1,n}$ を減算回路 5 2 において減じて得られた値（ $D_{m,n} - D_{m-1,n}$ であり、階調制御用差
15 分データである）が入力値として比較器 5 5（より具体的には、第 1 の比較器 5 5 A 及び第 2 の比較器 5 5 B）に入力される。一方、第 1 の比較器 5 5 A には第 1 の基準値が入力され、第 2 の比較器 5 5 B には第 2 の基準値が入力される。

即ち、具体的には、実施例 2においては、走査電極（カソード電極 1 1）に一定の電圧 V_c （= 0 ボルト）を印加し、データ電極（ゲート電極 1 3）に階調に応じて電圧 V_c （= 2 0 ボルト乃至 3 5 ボルト）を印加する。そして、第（ $m-1$ ）行目×第 n 列目の発光領域における発光状態を制御するためにデータ電極に電圧 $V_{DATA(m-1,n)}$ （このときのデータの値は $D_{m-1,n}$ である）を印加し、第 m 行目×第 n 列目の発光領域における発光状態を制御するためにデータ電極に電圧 $V_{DATA(m,n)}$ （このときのデータの値は $D_{m,n}$

である)を印加する。言い換えれば、第(m-1)番目×第n番目の電子放出領域における電子の放出状態を制御するためにゲート電極13に電圧 $V_{DATA(m-1,n)}$ (このときのデータの値は $D_{m-1,n}$ である)を印加し、第m番目×第n番目の電子放出領域における電子の放出状態を制御するためにゲート電極13に電圧 $V_{DATA(m,n)}$ (このときのデータの値は $D_{m,n}$ である)を印加する。そして、
5 ラインバッファ42に記憶されたデータの値 $D_{m-1,n}$, $D_{m,n}$ を読み出して減算回路52に送出し、減算回路52において減じて得られた値($D_{m,n} - D_{m-1,n}$)が入力値として比較器55(第1の比較器55A及び第2の比較器55B)に入力され、比較器55(第1の比較器55A及び第2の比較器55B)に入力された入力値
10 ($D_{m,n} - D_{m-1,n}$)と、第1の基準値及び第2の基準値とが比較器55において比較される。

ここで、走査電極に印加される電圧とデータ電極に印加される電圧との差を ΔV としたとき、第1の電圧 V_1 は、 ΔV の最大値を得るためにデータ電極に印加すべき電圧であり、第2の電圧 V_2 は、 ΔV の最小値を得るためにデータ電極に印加すべき電圧である。また、実施例2においては、(走査電極に印加される電圧)
15 <(データ電極に印加される電圧)であるので、 $V_1 > V_2$ である。言い換えれば、ゲート電極13に印加される電圧(階調に応じて、例えば20ボルト乃至35ボルト)とカソード電極11に印加される電圧(例えば、0ボルト一定)との差を ΔV_{GC} としたとき、第1の電圧 V_1 は、 ΔV_{GC} の最大値(即ち、35ボルト)を得るためにゲート電極13に印加すべき電圧(即ち、35ボルト)であり、第2の電圧 V_2 は、 ΔV_{GC} の最小値(即ち、20ボルト)
20 を得るためにゲート電極13に印加すべき電圧(即ち、20ボルト
25)である。

ト) である。そして、第 1 の基準値を電圧 α ($V_1 - V_2$) に対応する値、第 2 の基準値を電圧 β ($V_2 - V_1$) に対応する値としたとき、 α の値を 0.5、 β の値を 0.5 としている。ここで、減算回路 52 への入力デジタルデータであるデータの値 $D_{m,n}$ を 8 ビットとすれば、256 段階の階調制御が行われる。ここで、 $D_{m,n} = 255$ が最も明るい画面データを表しているとする。この場合、 α の値及び β の値を 8 ビットのデジタル表現で言い換えたときの値をそれぞれ α' 、 β' とすれば、 $\alpha' = 128$ 、 $\beta' = 128$ である。一般的には、 $32 \leq \alpha' \leq 192$ 、 $32 \leq \beta' \leq 192$ を満足することが好ましい。

そして、もしも入力値が第 1 の基準値以上である場合、即ち、 $(D_{m,n} - D_{m-1,n}) > \alpha'$ あるいは $(D_{m,n} - D_{m-1,n}) \geq \alpha'$ である場合、第 1 の比較器 55A の出力に基づき、一定期間（例えば、25 マイクロ秒）よりも短い所定の期間（例えば、5 マイクロ秒）、15 第 1 のスイッチ回路 53 がオン状態とされることで、所定の期間（例えば、5 マイクロ秒）、第 n 列目のデータ電極（第 n 番目のゲート電極 13）に第 1 の電圧 V_1 (= 3.5 ボルト) が印加される。この状態は、第 4 図において、第 (m-1) 行目 × 第 n 列目の 1 ライン期間及び第 (m+2) 行目 × 第 n 列目の 1 ライン期間 20 におけるデータ電極への印加電圧 V_{DATA} として表されている。

一方、もしも入力値が第 2 の基準値以下である場合、即ち、 $(D_{m,n} - D_{m-1,n}) < \beta'$ あるいは $(D_{m,n} - D_{m-1,n}) \leq \beta'$ の場合、第 2 の比較器 55B の出力に基づき、一定期間（例えば、25 マイクロ秒）よりも短い所定の期間（例えば、5 マイクロ秒）、第 2 のスイッチ回路 54 がオン状態とされることで、所定の期間（例えば、5 マイクロ秒）、第 n 列目のデータ電極（第 n 番目のゲー

ト電極 1 3) に第 2 の電圧 V_2 (= 20 ボルト) が印加される。この状態は、第 4 図において、第 m 行目 × 第 n 列目の 1 ライン期間におけるデータ電極への印加電圧 V_{DATA} として表されている。

また、もしも入力値が第 1 の基準値未満であり且つ第 2 の基準値を越えている場合、即ち、 $\beta' \leq (D_{m,n} - D_{m-1,n}) \leq \alpha'$ あるいは $\beta' < (D_{m,n} - D_{m-1,n}) < \alpha'$ である場合には、第 1 のスイッチ回路 5 3 及び第 2 のスイッチ回路 5 4 はオフ状態に保持される。この状態は、第 4 図において、第 $(m + 1)$ 行目 × 第 n 列目の 1 ライン期間として表されている。

以上のように、実施例 2においては、走査電極への印加状態が例えば第 m 行目から第 $(m + 1)$ 行目に切り替えられた直後の(言い換えれば、カソード電極 1 1への印加状態が例えば第 m 番目から第 $(m + 1)$ 番目に切り替えられた直後の)、データ電極(ゲート電極 1 3)に印加される電圧 V_{DATA} の波形の立上り、立下りの波形を、電圧 V_1 、 V_2 を加重することによって急峻にすることができる結果、画面表示の応答性の向上を図ることができ、滑らかな画像表示を達成することができる。しかも、第 n 列目のデータ電極(第 n 番目のゲート電極 1 3)に第 1 の電圧 V_1 や第 2 の電圧 V_2 が印加される期間(時間)は一定期間よりも短いので、固定画素表示装置あるいは冷陰極電界電子放出表示装置における消費電力の増加を抑制することができる。また、輪郭が強調された画像を得るので、視認される画像に先鋭さが増加する。

尚、実施例 2において、第 1 行目の走査電極によって構成される N 個の発光領域のそれぞれにおける発光状態を制御するためのデータの値 $D_{1,n}$ (但し、 n は 1, 2, ..., N である) に基づき

出力回路 5 1 から出力された電圧が、一定期間、第 n 列目のデータ電極に印加されるが、言い換えれば、第 1 番目のカソード電極 1 1 によって構成される N 個の電子放出領域 E A のそれにおける電子の放出状態を制御するためのデータの値 $D_{1,n}$ (但し、5 n は 1, 2 ··· N である) に基づき出力回路 5 1 から出力された電圧が、一定期間、第 n 番目のゲート電極 1 3 に印加される。そして、この場合、第 1 行目の走査電極によって構成される発光領域のそれにおける発光状態を制御するためのデータの値 $D_{1,n}$ からデータ値「0」(データの値 $D_{0,n}$ と表現する) を減算回路において減じて得られた値 ($D_{1,n} - D_{0,n}$) が入力値として比較器に入力され、比較器に入力された入力値と、第 1 の基準値及び第 2 の基準値とが比較器において比較される。データの値 $D_{0,n}$ を用いる代わりに、直前のデータの値 $D_{M,n}$ (1 フレーム前の最後のデータの値) を用いることもできる。あるいは又、第 1 番目の10 カソード電極によって構成される N 個の電子放出領域のそれにおける発光状態を制御するためのデータの値 $D_{1,n}$ からデータ値「0」(データの値 $D_{0,n}$ と表現する) を減算回路において減じて得られた値 ($D_{1,n} - D_{0,n}$) が入力値として比較器に入力され、比較器に入力された入力値と、第 1 の基準値及び第 2 の基準値とが比較器において比較される。データの値 $D_{0,n}$ を用いる代わりに、15 直前のデータの値 $D_{M,n}$ (1 フレーム前の最後のデータの値) を用いることもできる。

20 以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例にて説明したアノードパネルやカソードパネル、ゲート電極制御回路やカソード電極制御回路といった各種の制御回路、表示装置や電界放出素

子の構成、構造は例示であり、適宜変更することができるし、アノードパネルやカソードパネル、表示装置や電界放出素子の製造方法も例示であり、適宜変更することができる。更には、アノードパネルやカソードパネルの製造において使用した各種材料も例示であり、適宜変更することができる。表示装置においては、専らカラー表示を例にとり説明したが、単色表示とすることもできる。

また、実施例においては、第1の基準値、第2の基準値のそれぞれを1つの値としたが、複数の第1の基準値、複数の第2の基準値を設定してもよい。そして、この場合、複数の第1の基準値に応じて、また、複数の第2の基準値に応じて、所定の期間の長さを変えててもよいし、比較器を複数配設することで、第1の電圧 V_1 、第2の電圧 V_2 の値を、それぞれ、複数、設定してもよい。実施例においては、画像信号がA/Dコンバータ及びD/Aコンバータを通され、このA/Dコンバータから送出されたデジタルデータが、比較器において、デジタルデータである第1の基準値及び第2の基準値と比較されたが、このような構成に限定するものではなく、画像信号に基づくアナログデータが、比較器において、アナログデータである第1の基準値及び第2の基準値と比較する構成を採用することもできる。

電界放出素子においては、専ら1つの開口部に1つの電子放出部が対応する形態を説明したが、電界放出素子の構造に依っては、1つの開口部に複数の電子放出部が対応した形態、あるいは、複数の開口部に1つの電子放出部が対応する形態とすることもできる。あるいは又、ゲート電極に複数の開口部を設け、絶縁層に係る複数の開口部に連通した複数の開口部を設け、1又は複数の

電子放出部を設ける形態とすることもできる。

アノード電極は、実施例にて説明したように有効領域を1枚のシート状の導電材料で被覆した形式のアノード電極としてもよいし、1又は複数の電子放出部、あるいは、1又は複数の画素に5 対応するアノード電極ユニットが集合した形式のアノード電極としてもよい。アノード電極が前者の構成の場合、係るアノード電極をアノード電極制御回路に接続すればよいし、アノード電極が後者の構成の場合、例えば、各アノード電極ユニットをアノード電極制御回路に接続すればよい。

10 電界放出素子において、ゲート電極13及び絶縁層12の上に更に層間絶縁層62を設け、層間絶縁層62上に収束電極63を設けてもよい。このような構造を有する電界放出素子の模式的な一部端面図を第13図に示す。層間絶縁層62には、開口部14Aに連通した開口部64が設けられている。収束電極63の形成15 は、例えば、[工程-A1]において、絶縁層12上にストライプ状のゲート電極13を形成した後、層間絶縁層62を形成し、次いで、層間絶縁層62上にパターニングされた収束電極63を形成した後、収束電極63、層間絶縁層62に開口部64を設け、更に、ゲート電極13に開口部14Aを設ければよい。尚、収束20 電極のパターニングに依存して、1又は複数の電子放出部、あるいは、1又は複数の画素に対応する収束電極ユニットが集合した形式の収束電極とすることもでき、あるいは又、有効領域を1枚のシート状の導電材料で被覆した形式の収束電極とすることもできる。尚、第13図においては、スピント型電界放出素子を図示したが、その他の電界放出素子とすることもできることは云うまでもない。また、収束電極を有する電界放出素子を、実施例1

及び実施例 2 にて説明した表示装置に適用することができる。

請求の範囲

1. 1 の方向に延びる M 本（但し、 $M \geq 2$ ）のストライプ状の走査電極、及び、第 1 の方向とは異なる第 2 の方向に延びる N 本
5 （但し、 $N \geq 2$ ）のストライプ状のデータ電極を備え、走査電極とデータ電極との重複領域から構成された発光領域が M 行 \times N 列の 2 次元マトリックス状に配列された固定画素表示装置であ
って、

データ電極を駆動するために、各データ電極に接続された駆動
10 用ドライバを備えており、

該各駆動用ドライバは、スイッチ回路、出力回路、及び、減算
回路から成り、

該スイッチ回路は、

（A）データ電極に第 1 の電圧 V_1 を印加するための第 1 のス
15 イッチ回路、

（B）データ電極に第 2 の電圧 V_2 （但し、 $V_2 \neq V_1$ ）を印加す
るための第 2 のスイッチ回路、及び、

（C）第 1 のスイッチ回路及び第 2 のスイッチ回路のオン／オ
フ制御を行うための比較器、

20 を備え、

第 m 行目（但し、 $m = 2, 3 \dots M$ のいずれか）の走査電極
によって構成される N 個の発光領域のそれぞれにおける発光状
態を制御するためのデータの値 $D_{m,n}$ （但し、n は 1, 2 $\dots N$
である）に基づき前記出力回路から出力された電圧が、一定期間、
25 第 n 列目のデータ電極に印加され、

且つ、第 m 行目の走査電極によって構成される発光領域のそれ

ぞれにおける発光状態を制御するためのデータの値 $D_{m,n}$ から第 (m-1) 行目の走査電極によって構成される発光領域のそれぞれにおける発光状態を制御するためのデータの値 $D_{m-1,n}$ を前記減算回路において減じて得られた値 ($D_{m,n} - D_{m-1,n}$) が入力値として前記比較器に入力され、該比較器に入力された該入力値と、第 1 の基準値及び第 2 の基準値とが該比較器において比較され、

5 (1) 入力値が第 1 の基準値以上である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第 1 のスイッチ回路がオン状態とされることで、該所定の期間、第 n 列目のデータ電極に第 1 の電圧 V_1 が印加され、

10 (2) 入力値が第 2 の基準値以下である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第 2 のスイッチ回路がオン状態とされることで、該所定の期間、第 n 列目のデータ電極に第 2 の電圧 V_2 が印加され、

15 (3) 入力値が、第 1 の基準値未満であり、且つ、第 2 の基準値を越えている場合、該第 1 のスイッチ回路及び該第 2 のスイッチ回路はオフ状態に保持される、

ことを特徴とする固定画素表示装置。

2. 走査電極に印加される電圧とデータ電極に印加される電圧との差を ΔV としたとき、第 1 の電圧 V_1 は、 ΔV の最大値を得るためにデータ電極に印加すべき電圧であり、第 2 の電圧 V_2 は、 ΔV の最小値を得るためにデータ電極に印加すべき電圧であることを特徴とする請求の範囲第 1 項に記載の固定画素表示装置。

20 3. 前記出力回路は、CMOS 回路から成る電流バッファ回路であることを特徴とする請求の範囲第 1 項に記載の固定画素表示装置。

4. カソードパネルとアノードパネルとがそれらの周縁部で接合されて成る冷陰極電子放出表示装置であって、

カソードパネルは、

(a) 支持体、

5 (b) 支持体上に形成され、第1の方向に延びるN本（但し、 $N \geq 2$ ）のストライプ状のカソード電極、

(c) 支持体及びカソード電極上に形成された絶縁層、

10 (d) 絶縁層上に形成され、第1の方向とは異なる第2の方向に延びるM本（但し、 $M \geq 2$ ）のストライプ状のゲート電極、及び、

(e) カソード電極とゲート電極との重複領域に位置する電子放出領域、

から構成されており、

15 アノードパネルは、基板、並びに、該基板上に形成された、各電子放出領域に対応して設けられた蛍光体領域及びアノード電極から構成されており、

電子放出領域は、ゲート電極及び絶縁層に設けられた開口部の底部に位置する電子放出部から構成され、

冷陰極電子放出表示装置は、

20 (f) カソード電極を駆動するために、各カソード電極に接続された駆動用ドライバ、を更に備えており、

該各駆動用ドライバは、スイッチ回路、出力回路、及び、減算回路から成り、

該スイッチ回路は、

25 (A) カソード電極に第1の電圧 V_1 を印加するための第1のスイッチ回路、

(B) カソード電極に第2の電圧 V_2 (但し、 $V_2 > V_1$) を印加するための第2のスイッチ回路、及び、

(C) 第1のスイッチ回路及び第2のスイッチ回路のオン／オフ制御を行うための比較器、

5 を備え、

第m番目 (但し、 $m = 2, 3 \dots M$ のいずれか) のゲート電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ (但し、nは1, 2, ..., Nである)に基づき前記出力回路から出力された電圧が、

10 一定期間、第n番目のカソード電極に印加され、

且つ、第m番目のゲート電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ から第(m-1)番目のゲート電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するため

15 のデータの値 $D_{m-1,n}$ を前記減算回路において減じて得られた値

$(D_{m,n} - D_{m-1,n})$ が入力値として前記比較器に入力され、該比較器に入力された該入力値と、第1の基準値及び第2の基準値とが該比較器において比較され、

(1) 入力値が第1の基準値以上である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第1のスイッチ回路がオン状態とされることで、該所定の期間、第n番目のカソード電極に第1の電圧 V_1 が印加され、

(2) 入力値が第2の基準値以下である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第2のスイッチ回路がオン状態とされることで、該所定の期間、第n番目のカソード電極に第2の電圧 V_2 が印加され、

(3) 入力値が、第1の基準値未満であり、且つ、第2の基準値を越えている場合、該第1のスイッチ回路及び該第2のスイッチ回路はオフ状態に保持される、

ことを特徴とする冷陰極電界電子放出表示装置。

5 5. ゲート電極に印加される電圧とカソード電極に印加される電圧との差を ΔV_{cc} としたとき、第1の電圧 V_1 は、 ΔV_{cc} の最大値を得るためにカソード電極に印加すべき電圧であり、第2の電圧 V_2 は、 ΔV_{cc} の最小値を得るためにカソード電極に印加すべき電圧であることを特徴とする請求の範囲第4項に記載の冷陰極電界電子放出表示装置。

6. 前記出力回路は、CMOS回路から成る電流バッファ回路であることを特徴とする請求の範囲第4項に記載の冷陰極電界電子放出表示装置。

7. カソードパネルとアノードパネルとがそれらの周縁部で接合されて成る冷陰極電界電子放出表示装置であって、

カソードパネルは、

(a) 支持体、

(b) 支持体上に形成され、第1の方向に延びるM本（但し、 $M \geq 2$ ）のストライプ状のカソード電極、

20 (c) 支持体及びカソード電極上に形成された絶縁層、

(d) 絶縁層上に形成され、第1の方向とは異なる第2の方向に延びるN本（但し、 $N \geq 2$ ）のストライプ状のゲート電極、及び、

(e) カソード電極とゲート電極との重複領域に位置する電子放出領域、

から構成されており、

アノードパネルは、基板、並びに、該基板上に形成された、各電子放出領域に対応して設けられた蛍光体領域及びアノード電極から構成されており、

電子放出領域は、ゲート電極及び絶縁層に設けられた開口部の5 底部に位置する電子放出部から構成され、

冷陰極電界電子放出表示装置は、

(f) ゲート電極を駆動するために、各ゲート電極に接続された駆動用ドライバ、
を更に備えており、

10 該各駆動用ドライバは、スイッチ回路、出力回路、及び、減算回路から成り、

該スイッチ回路は、

(A) ゲート電極に第1の電圧 V_1 を印加するための第1のスイッチ回路、

15 (B) ゲート電極に第2の電圧 V_2 (但し、 $V_2 < V_1$) を印加するための第2のスイッチ回路、及び、

(C) 第1のスイッチ回路及び第2のスイッチ回路のオン／オフ制御を行うための比較器、

を備え、

20 第m番目 (但し、 $m = 2, 3 \dots M$ のいずれか) のカソード電極によって構成されるN個の電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m,n}$ (但し、nは1, 2, ..., Nである) に基づき前記出力回路から出力された電圧が、一定期間、第n番目のゲート電極に印加され、

25 且つ、第m番目のカソード電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータ

の値 $D_{m,n}$ から第 $(m-1)$ 番目のカソード電極によって構成される電子放出領域のそれぞれにおける電子の放出状態を制御するためのデータの値 $D_{m-1,n}$ を前記減算回路において減じて得られた値 $(D_{m,n} - D_{m-1,n})$ が入力値として前記比較器に入力され、該比較器に入力された該入力値と、第 1 の基準値及び第 2 の基準値とが該比較器において比較され、

5 (1) 入力値が第 1 の基準値以上である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第 1 のスイッチ回路がオン状態とされることで、該所定の期間、第 n 番目のゲート電極に第 1 の電圧 V_1 が印加され、

10 (2) 入力値が第 2 の基準値以下である場合、該比較器の出力に基づき、前記一定期間よりも短い所定の期間、該第 2 のスイッチ回路がオン状態とされることで、該所定の期間、第 n 番目のゲート電極に第 2 の電圧 V_2 が印加され、

15 (3) 入力値が、第 1 の基準値未満であり、且つ、第 2 の基準値を越えている場合、該第 1 のスイッチ回路及び該第 2 のスイッチ回路はオフ状態に保持される、

ことを特徴とする冷陰極電子放出表示装置。

8. ゲート電極に印加される電圧とカソード電極に印加される電圧との差を ΔV_{GC} としたとき、第 1 の電圧 V_1 は、 ΔV_{GC} の最大値を得るためにゲート電極に印加すべき電圧であり、第 2 の電圧 V_2 は、 ΔV_{GC} の最小値を得るためにゲート電極に印加すべき電圧であることを特徴とする請求の範囲第 7 項に記載の冷陰極電子放出表示装置。

25 9. 前記出力回路は、CMOS 回路から成る電流バッファ回路であることを特徴とする請求の範囲第 7 項に記載の冷陰極電子

電子放出表示装置。

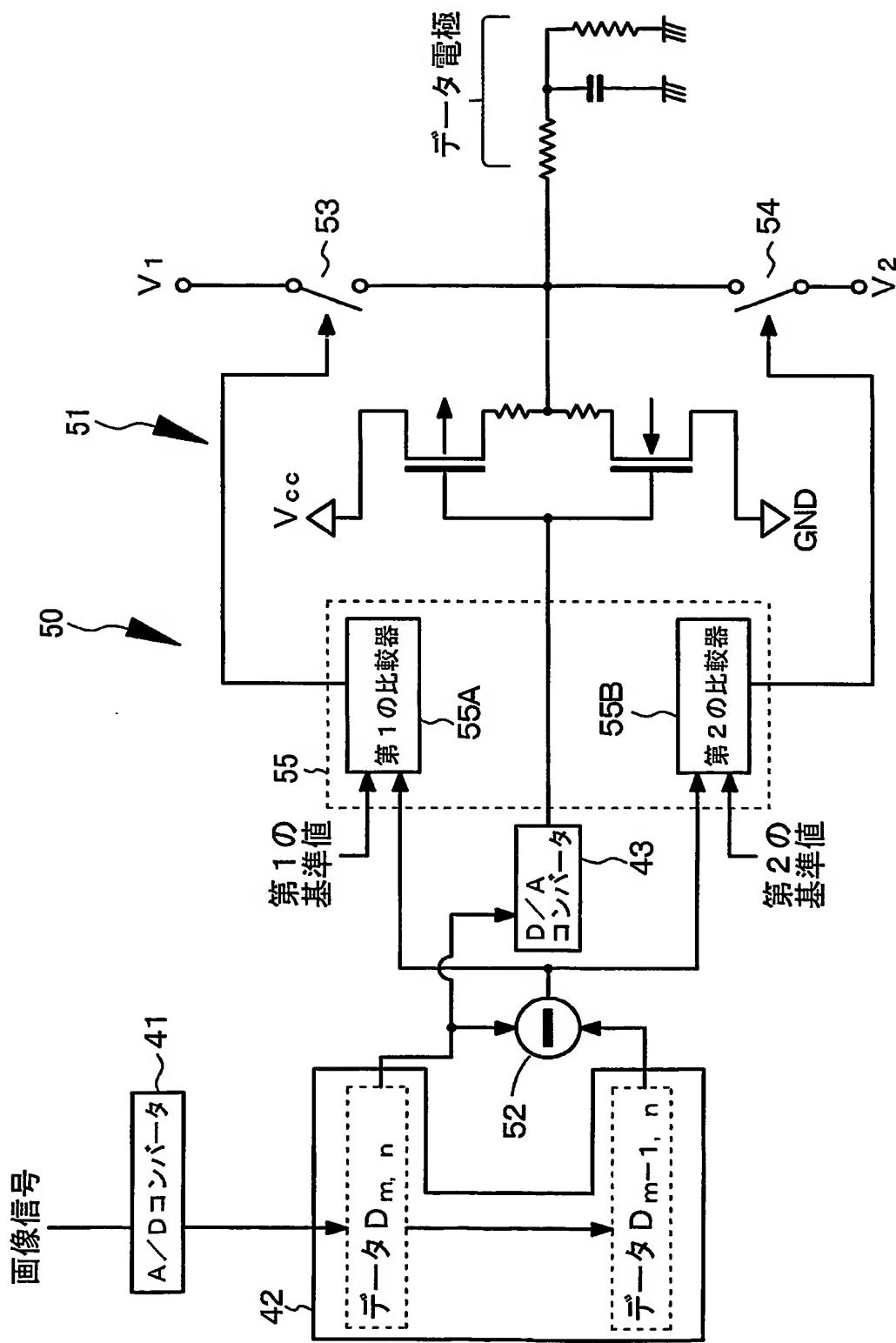


Fig.1

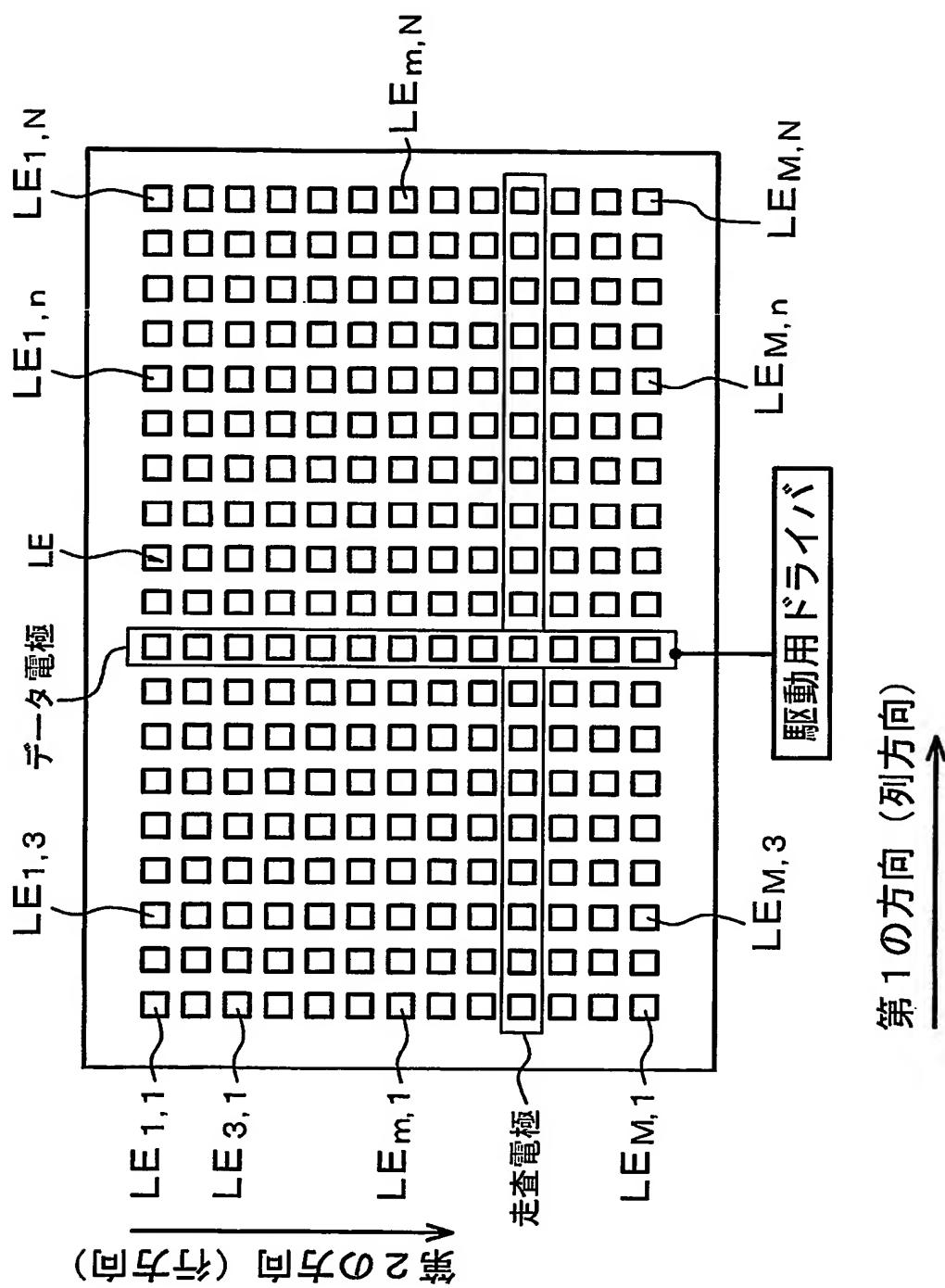


Fig.2

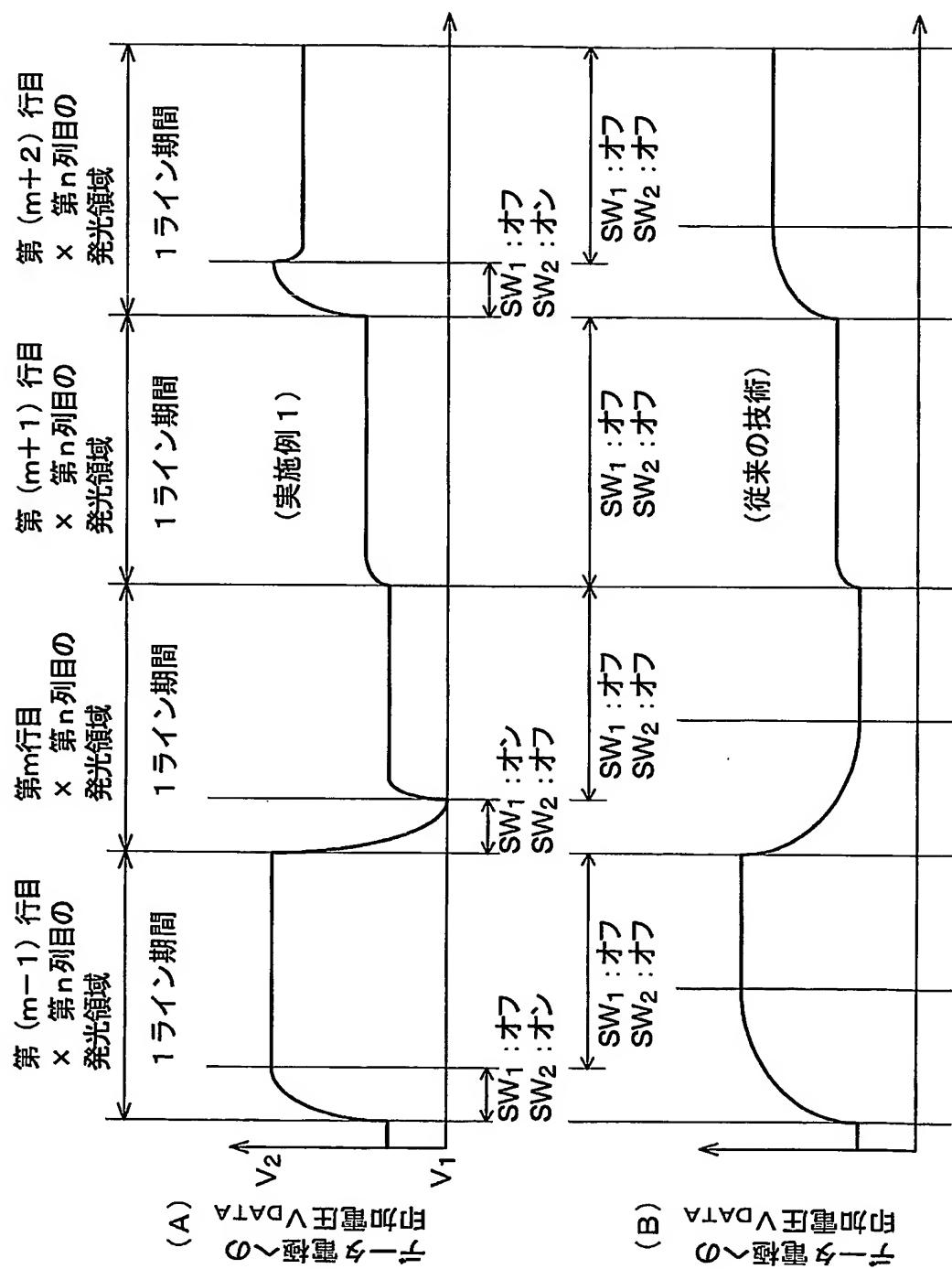


Fig.3

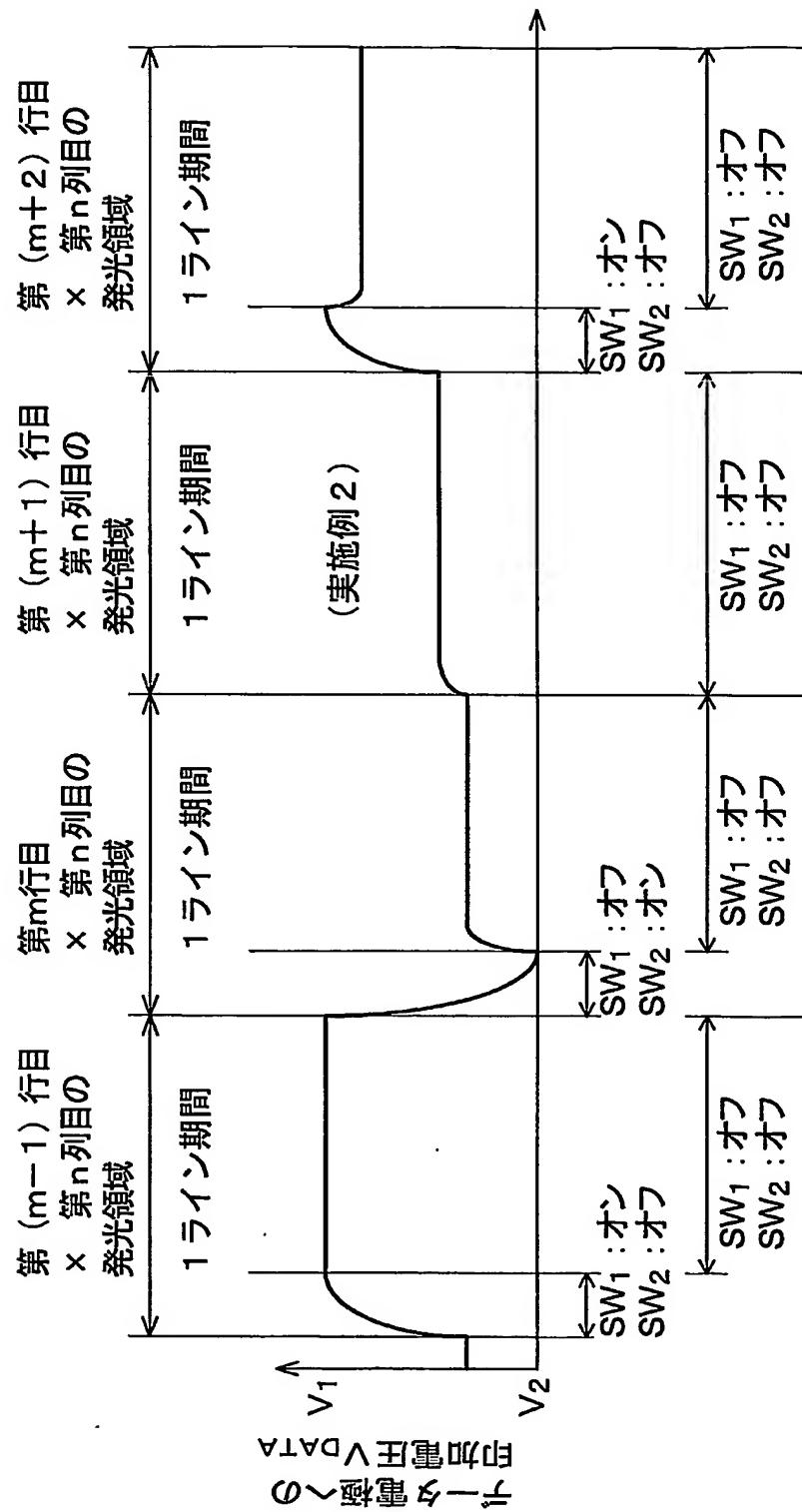


Fig. 4

5/14

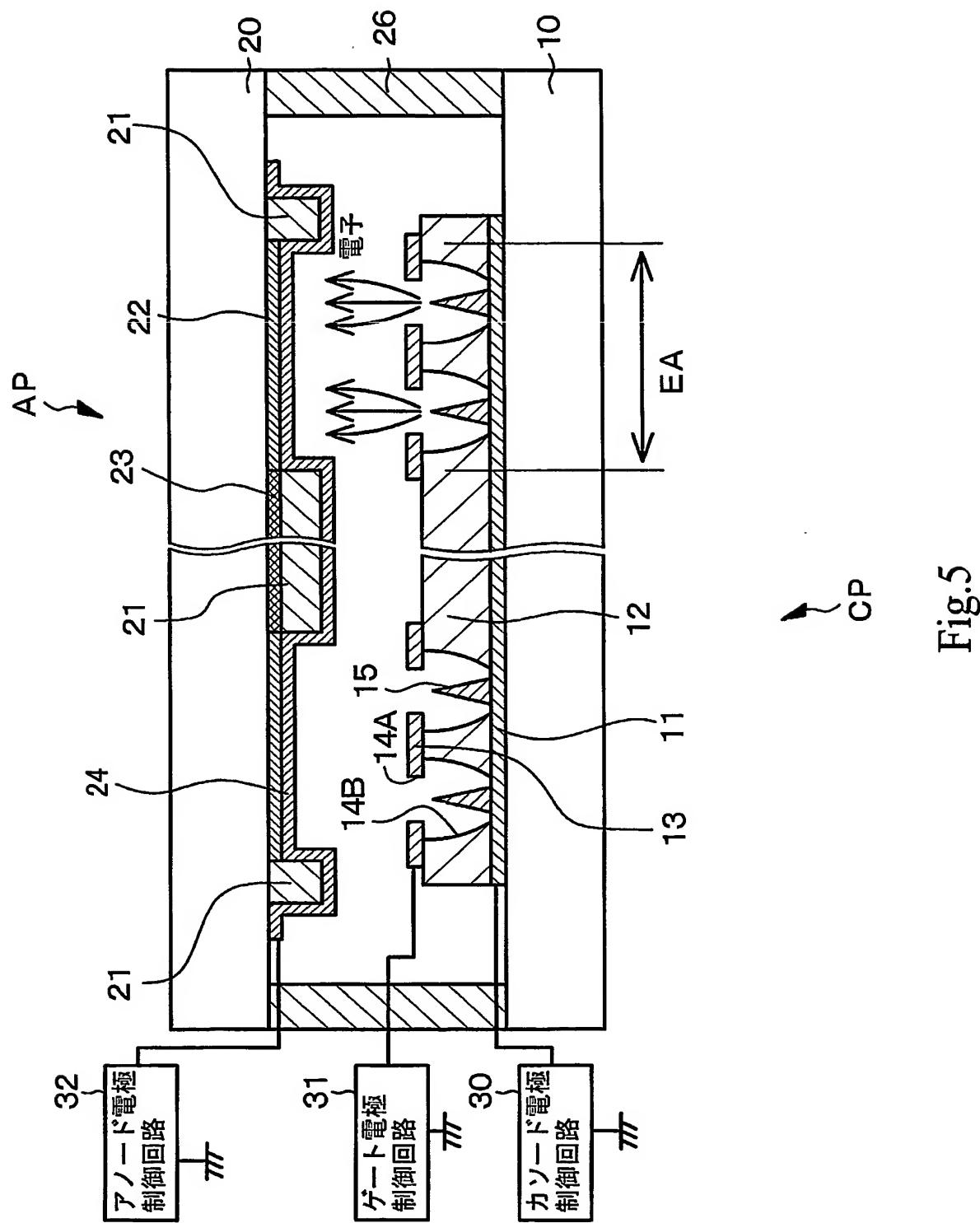


Fig.5

6/14

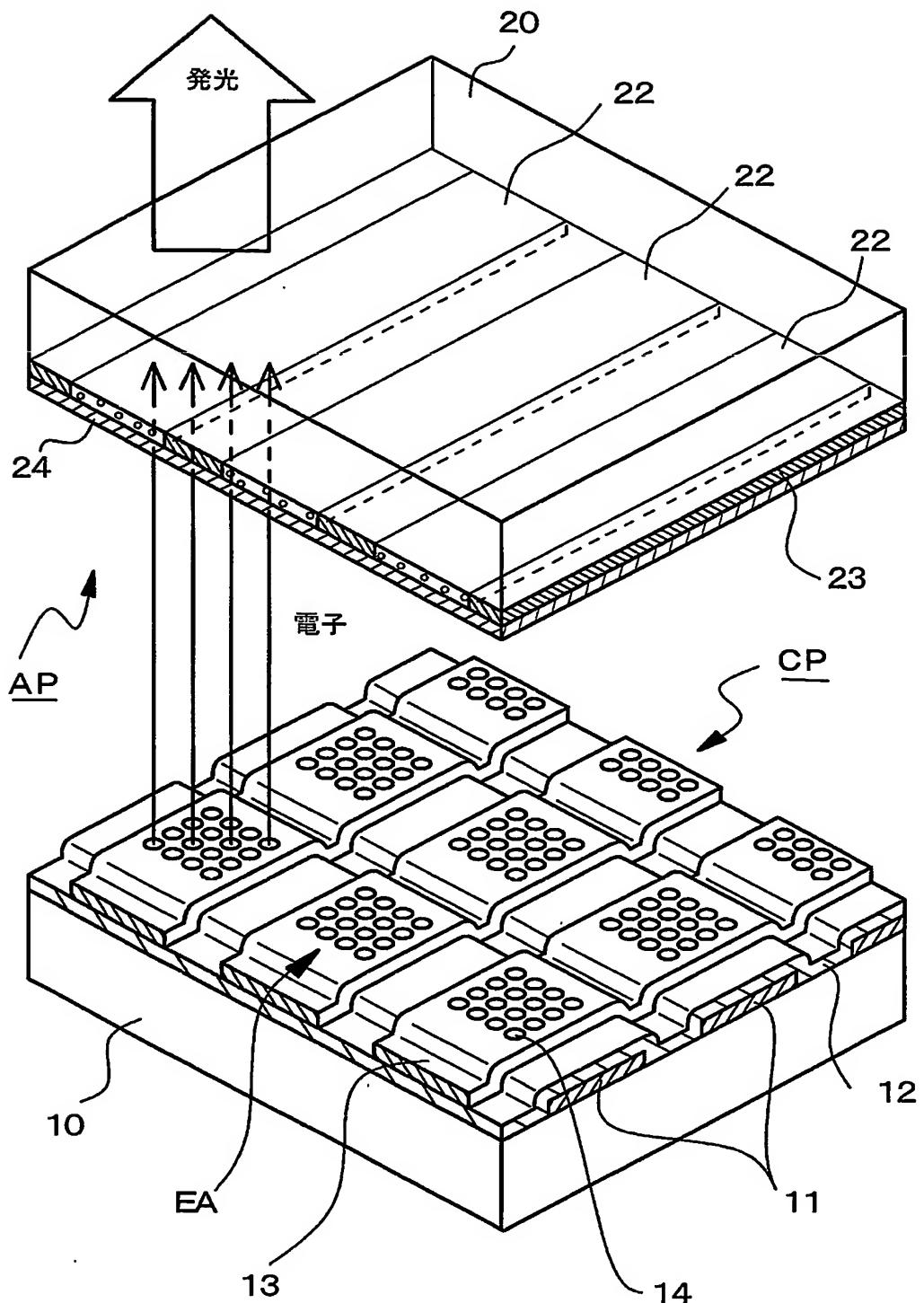


Fig.6

7/14

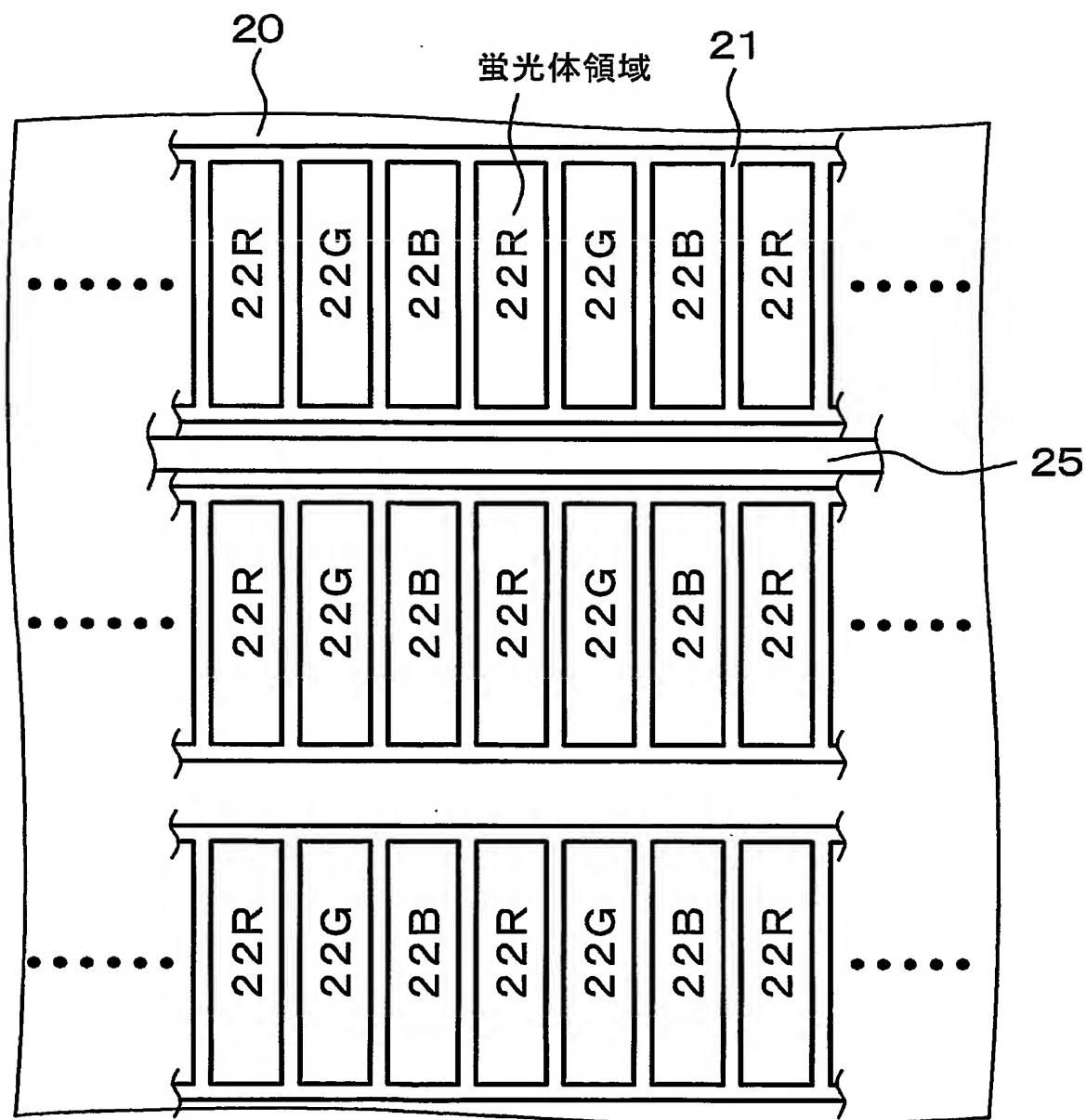


Fig. 7

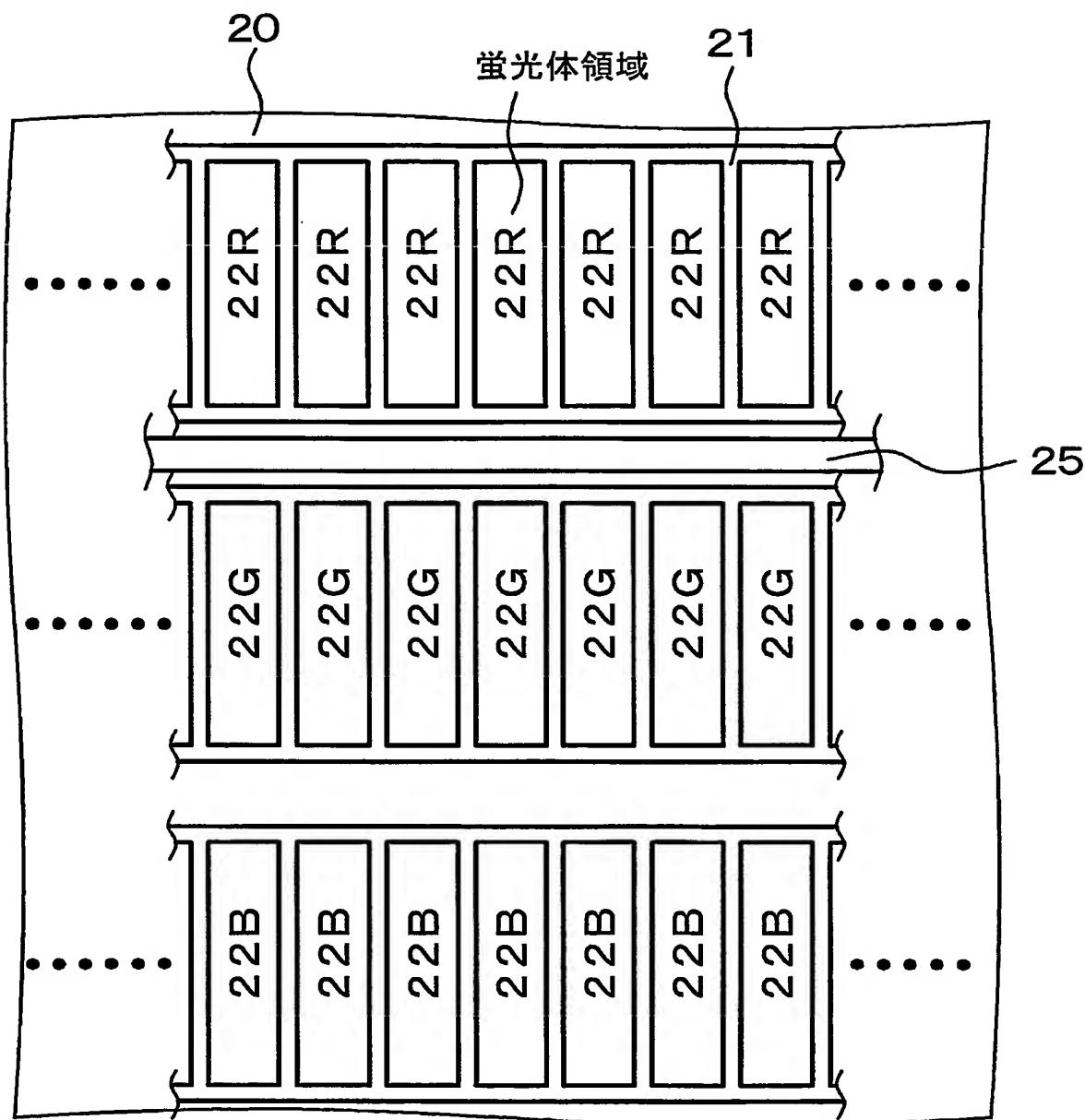


Fig.8

9/14

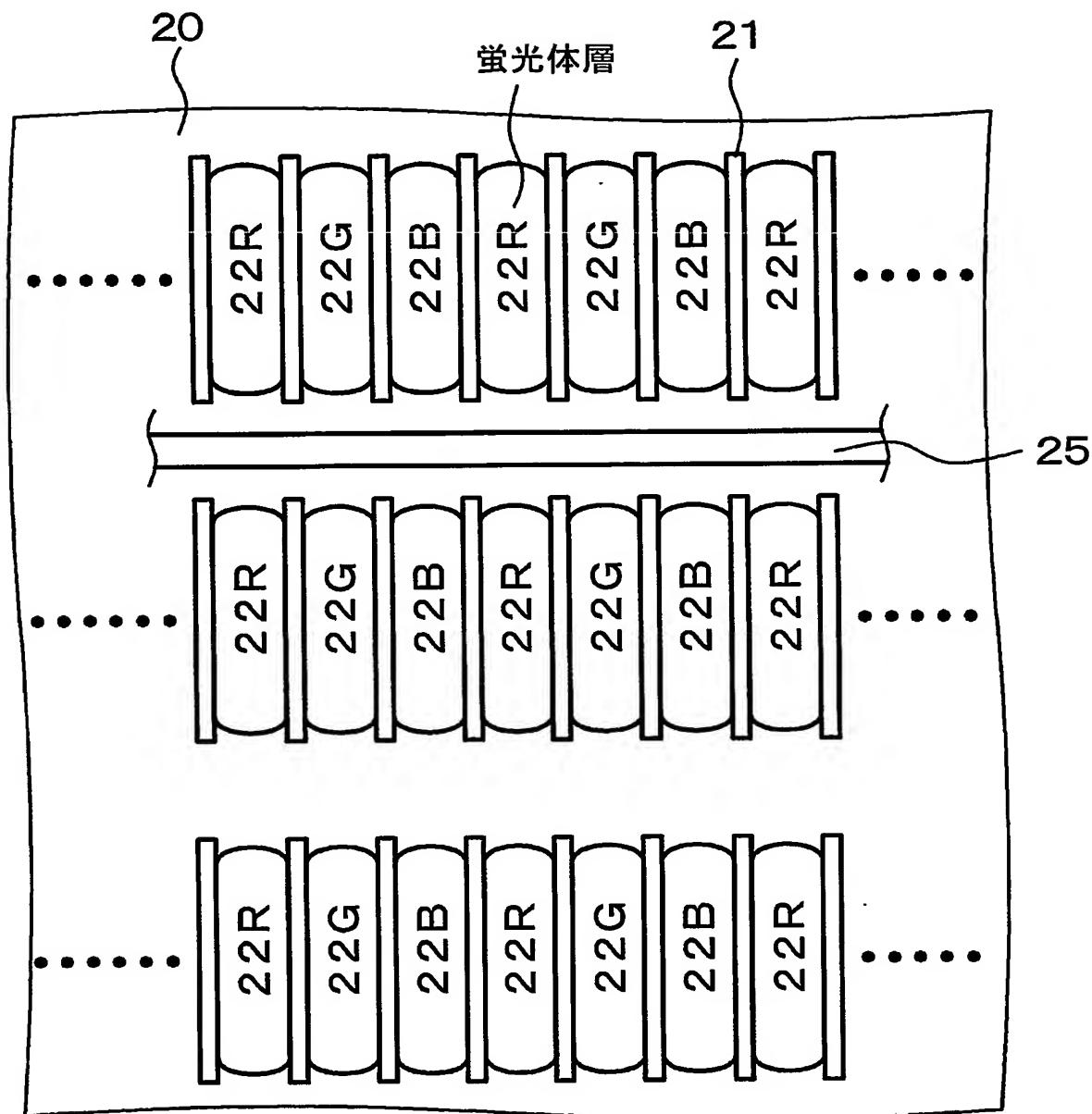


Fig.9

10/14

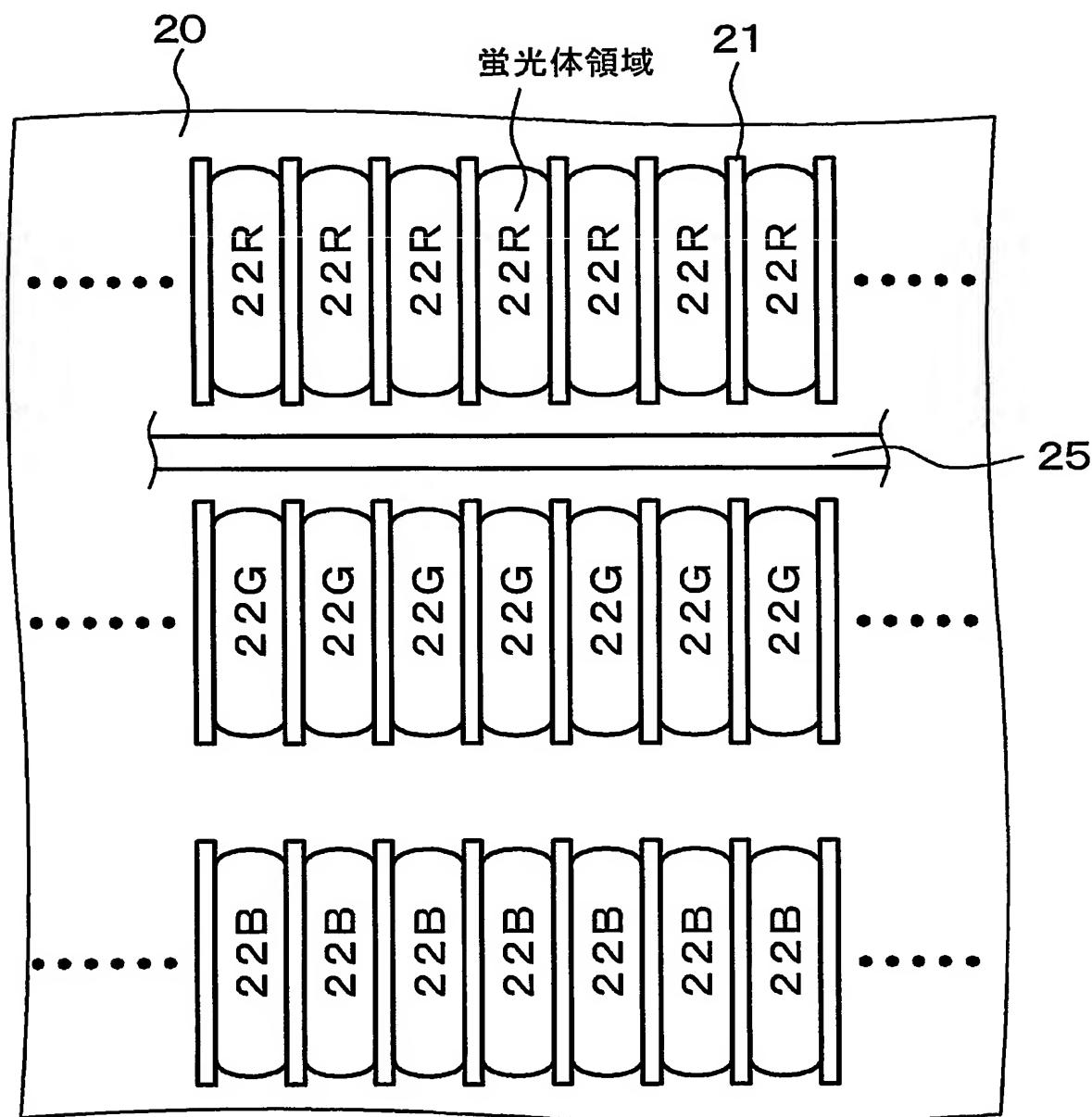
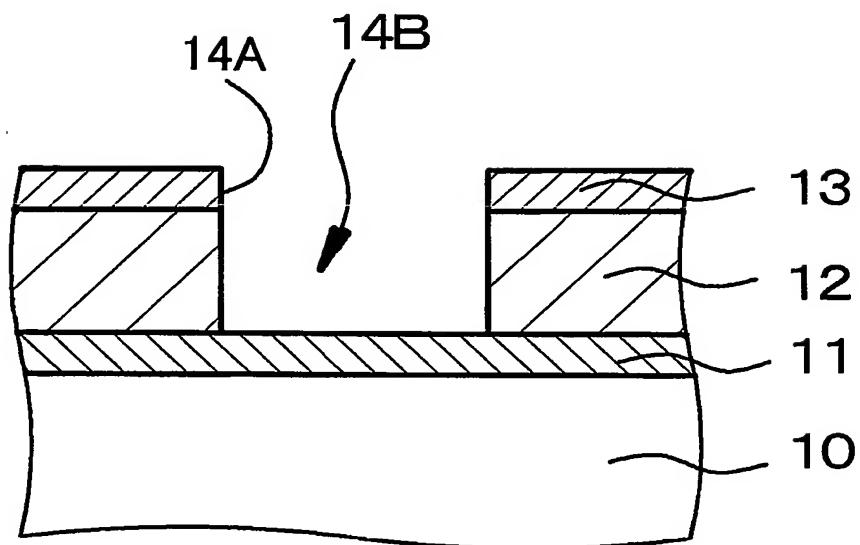


Fig.10

11/14

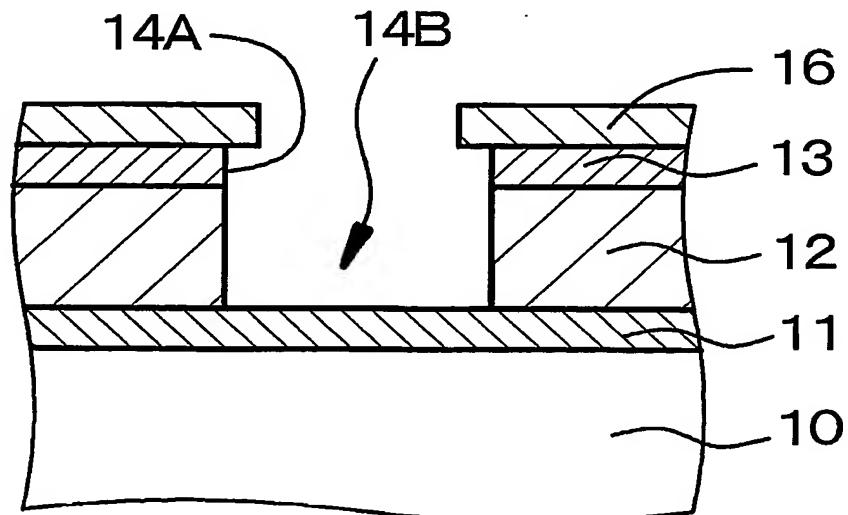
[工程 - A 2]

Fig.11A



[工程 - A 3]

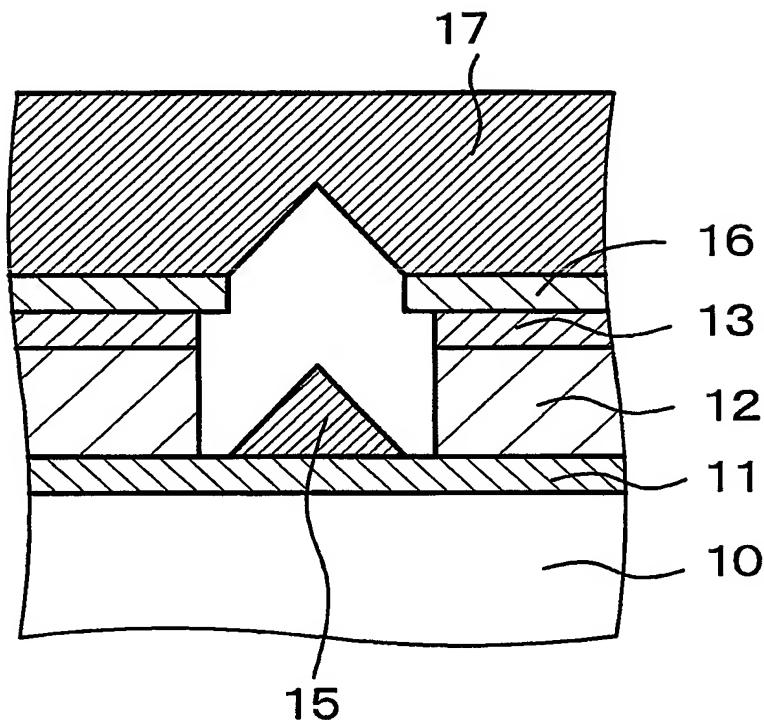
Fig.11B



12/14

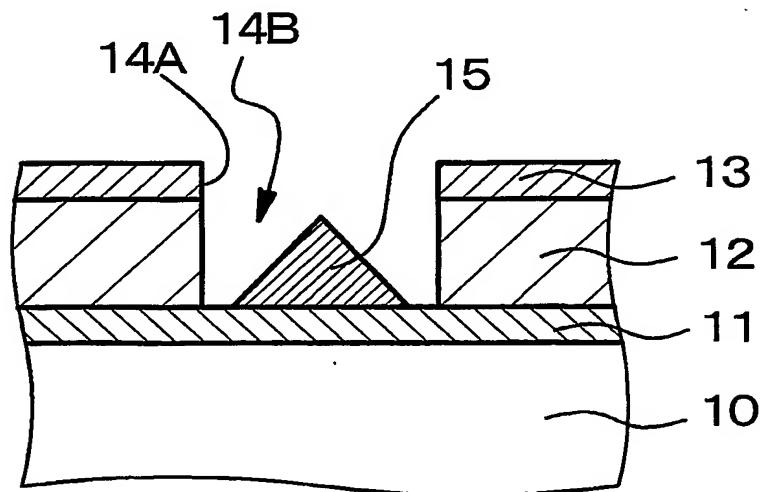
[工程 - A 4]

Fig.12A



[工程 - A 5]

Fig.12B



13/14

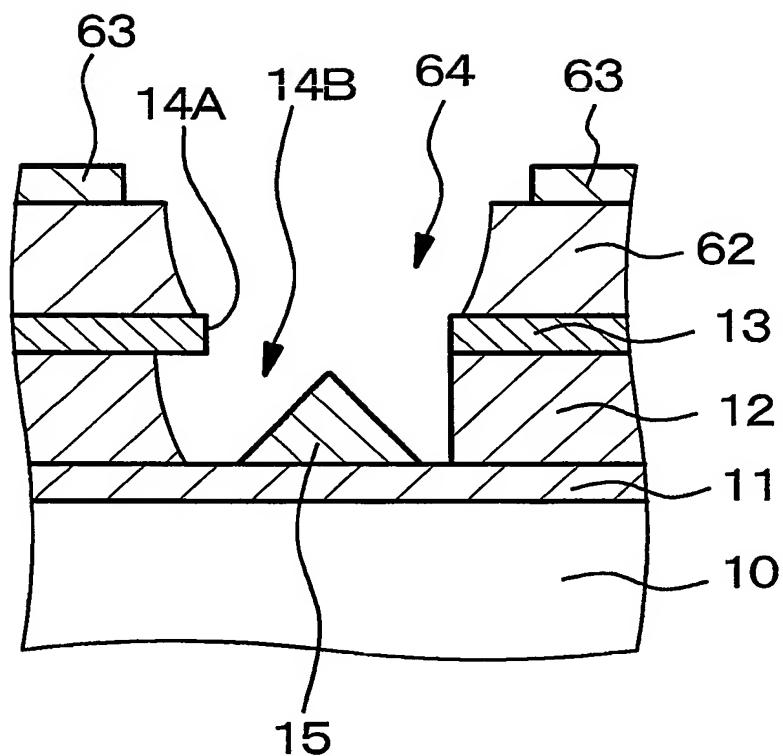


Fig.13

14/14

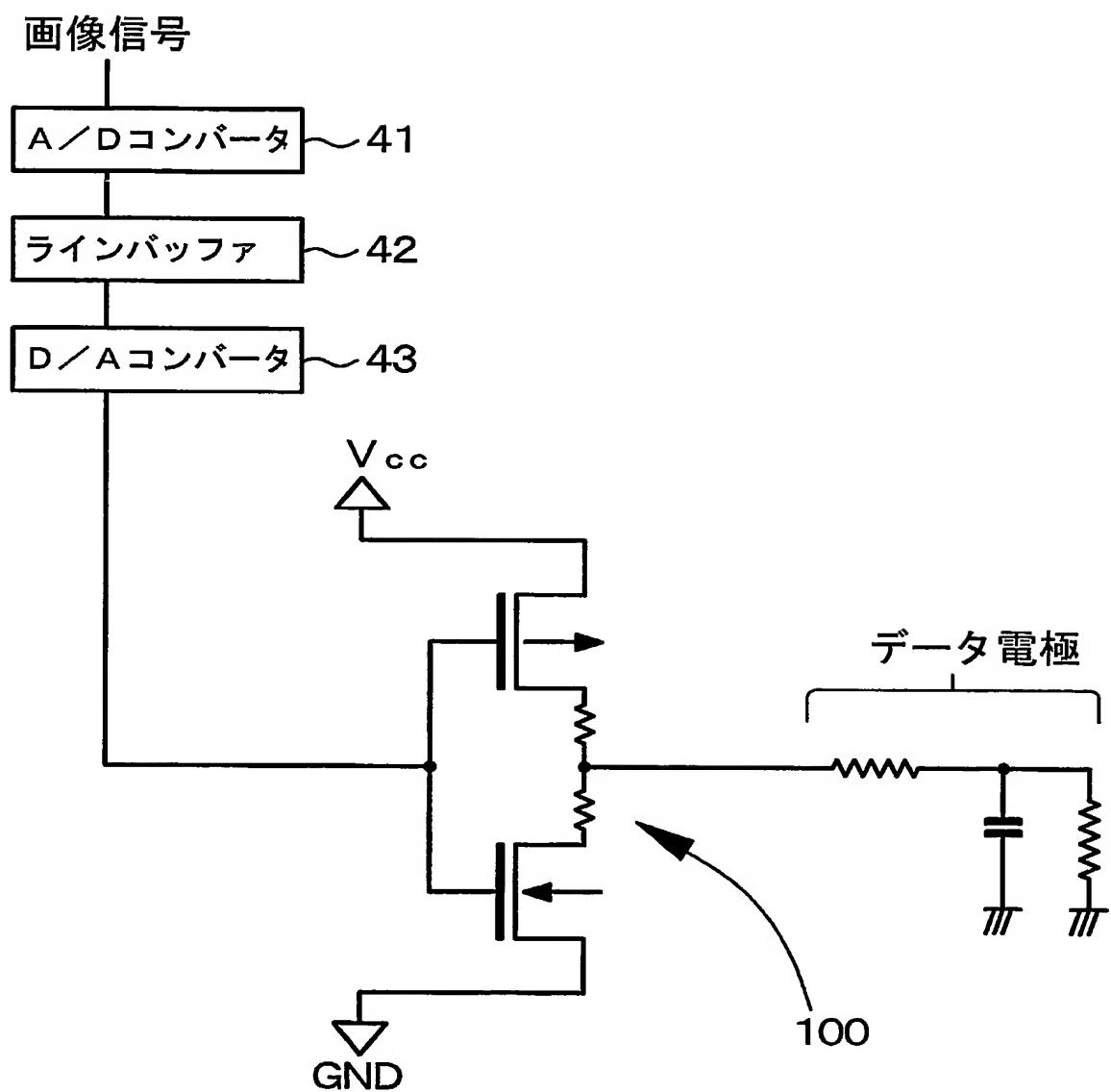


Fig.14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011953

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl' G09G3/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl' G09G3/22Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-182547 A (Sony Corp.), 30 June, 2000 (30.06.00), Full text; all drawings (Family: none)	1-9
A	JP 8-273560 A (Sony Corp.), 18 October, 1996 (18.10.96), Full text; all drawings & US 5986624 A	1-9
A	JP 8-287821 A (Motorola, Inc.), 01 November, 1996 (01.11.96), Full text; all drawings & FR 2734076 A1 & US 5578906 A	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
14 October, 2004 (14.10.04)Date of mailing of the international search report
02 November, 2004 (02.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2004/011953**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-292744 A (Sharp Corp.), 05 November, 1996 (05.11.96), Full text; all drawings & US 5818411 A	1-9
A	JP 11-84342 A (Sharp Corp.), 26 March, 1999 (26.03.99), Full text; all drawings & US 2002/0021271 A1	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl⁷ G09G 3/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-182547 A (ソニー株式会社) 2000. 06. 30, 全文, 全図 (ファミリーなし)	1-9
A	JP 8-273560 A (ソニー株式会社) 1996. 10. 18, 全文, 全図 & US 5986624 A	1-9
A	JP 8-287821 A (モトローラ・インコーポレイテッド) 1996. 11. 01, 全文, 全図 & FR 2734076 A1	1-9

C欄の続きにも文献が列举されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
14. 10. 2004

国際調査報告の発送日 02.11.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
西島 篤宏

2G 9308

電話番号 03-3581-1101 内線 3225

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	& US 5578906 A JP 8-292744 A (シャープ株式会社) 1996.11.05, 全文, 全図 & US 5818411 A	1-9
A	JP 11-84342 A (シャープ株式会社) 1999.03.26, 全文, 全図 & US 2002/0021271 A1	1-9

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.